

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Patent



Customer No. 31561
Application No.: 10/604,761
Docket No. 9886-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Shih
Application No. : 10/604,761
Filed : August 14, 2003
For : METHOD OF FORMING LDD OF SEMICONDUCTOR
DEVICES
Examiner :

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 92113180,
filed on: 2003/05/15.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated:

Dec. 10, 2003

By:

Belinda Lee
Belinda Lee

Registration No.: 46,863

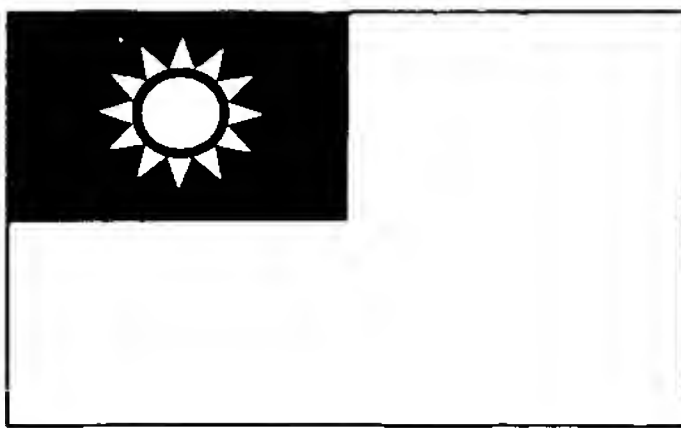
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 15 日
Application Date

申請案號：092113180
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 8 日
Issue Date

發文字號：09220796970
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	半導體元件之輕摻雜汲極的製造方法
	英 文	Method for Forming LDD of Semiconductor Devices
二、 發明人 (共1人)	姓 名 (中 文)	1. 施明松
	姓 名 (英 文)	1. Ming-Sung Shih
	國 籍 (中 英 文)	1. 中華民國 TW
	住 居 所 (中 文)	1. 台中縣大肚鄉沙田路一段168巷29號
	住 居 所 (英 文)	1. No. 29, Lane 168, Sec. 1, Shatian Rd., Dadu Shiang, Taichung County, Taiwan 432, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英 文)	1. Au Optronics Corporation
	國 籍 (中 英 文)	1. 中華民國 TW
	住 居 所 (營 業 所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住 居 所 (營 業 所) (英 文)	1. No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代 表 人 (中 文)	1. 李焜耀
	代 表 人 (英 文)	1. Kun-Yao Lee



9880tw1.ptd

四、中文發明摘要 (發明名稱：半導體元件之輕摻雜汲極的製造方法)

一種半導體元件之輕摻雜汲極的製造方法，此方法係首先提供一基板，其中基板上已形成有一多晶矽層，且此多晶矽層具有一第一區域以及一第二區域。接著在多晶矽層上形成一光阻層，其係暴露出第一區域並覆蓋住第二區域，其中覆蓋在第二區域上之光阻層具有一中間部分以及一邊緣部分，且中間部分之厚度係大於邊緣部分之厚度。之後以此光阻層為一植入罩幕進行一離子植入步驟，以在多晶矽層之第一區域形成一源極/汲極，並且同時在被光阻層之邊緣部分所覆蓋之多晶矽層中形成一輕摻雜汲極。

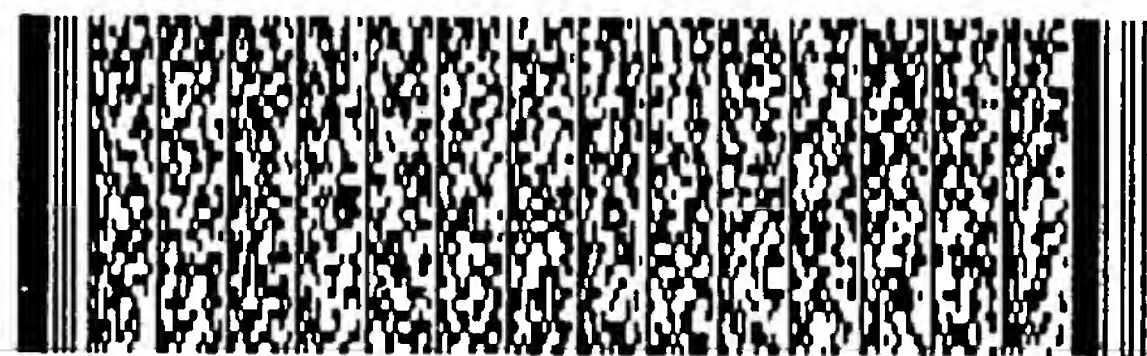
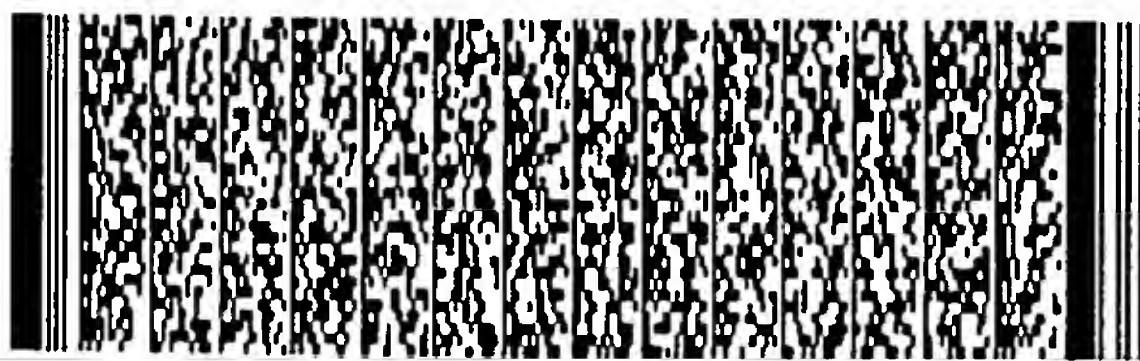
伍、(一)、本案代表圖為：第___2D_____圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基底 202：多晶矽層 202a/202b：源極/汲極
202c：通道層 203：輕摻雜汲極 205：光

六、英文發明摘要 (發明名稱：Method for Forming LDD of Semiconductor Devices)

A method for forming an LDD of a semiconductor device is described. A substrate having a polysilicon layer thereon is provided, wherein the polysilicon layer comprises a first region and a second region. A photoresist layer is formed on the polysilicon layer for exposing the first region and covering the second region. The photoresist layer covering the second region

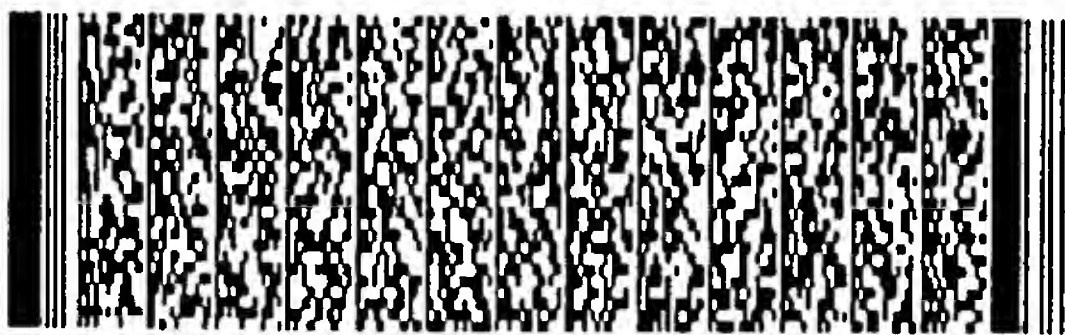


四、中文發明摘要 (發明名稱：半導體元件之輕摻雜汲極的製造方法)

阻層 208：離子植入步驟

六、英文發明摘要 (發明名稱：Method for Forming LDD of Semiconductor Devices)

comprises a middle portion and an edge portion, wherein the middle portion is thicker than the edge portion. Then, an implantation process is performed by using the photoresist layer as a mask for forming a source/drain in the first region of the polysilicon layer and forming a LDD in the polysilicon layer covered by the edge portion of the photoresist layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

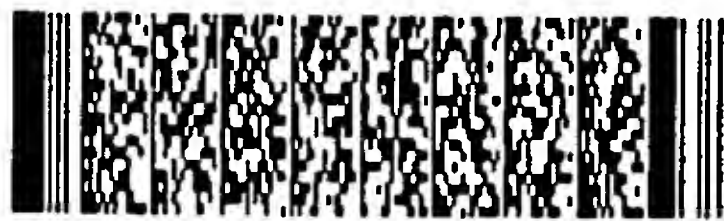
寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

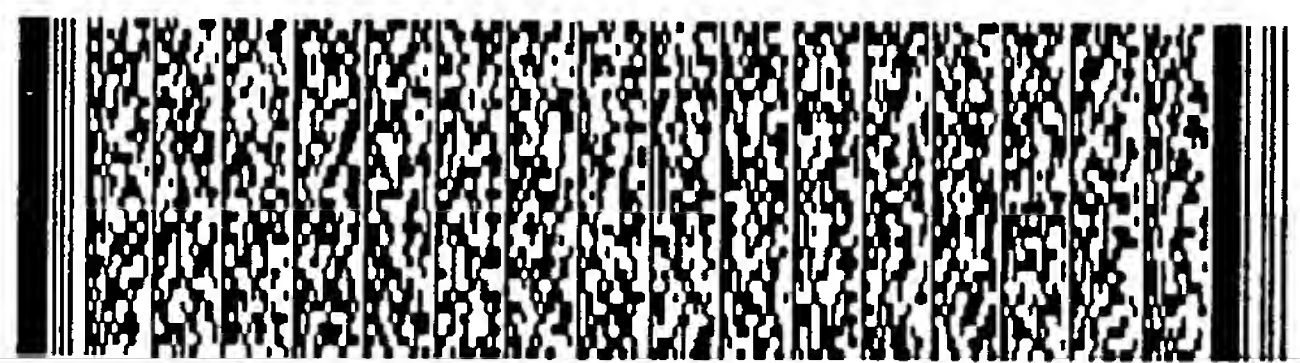
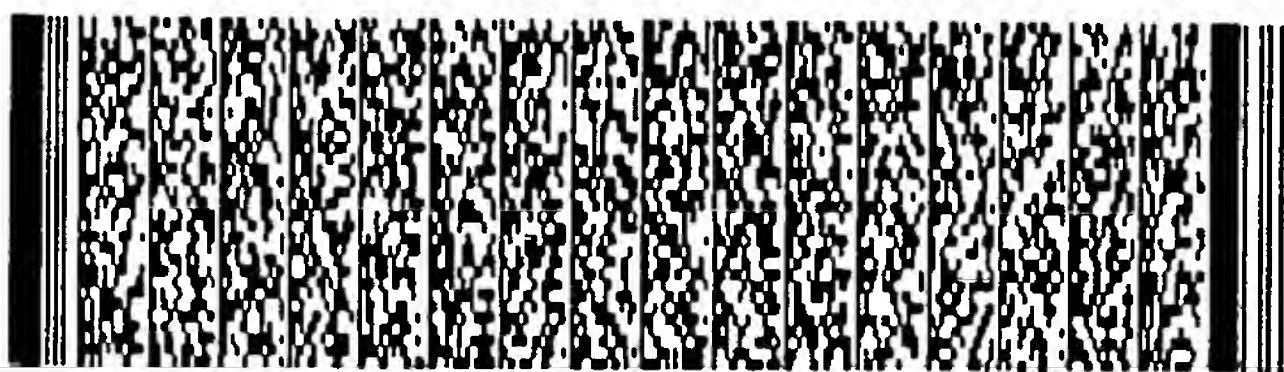
發明所屬之技術領域

本發明是有關於一種半導體元件之輕摻雜汲極 (Lightly Doped Drain, LDD) 的製造方法，且特別是有關於一種低溫多晶矽 (Low Temperature Poly-Silicon, LTPS) 薄膜電晶體 (Thin Film Transistor, TFT) 之輕摻雜汲極的製造方法，以及金氧半導體 (MOS) 電晶體之輕摻雜汲極的製造方法。

先前技術

低溫多晶矽薄膜電晶體技術有別於一般傳統的非晶矽薄膜電晶體 (Amorphous Silicon TFT) 技術，其電子遷移率可以達到 $200\text{cm}^2/\text{V}\cdot\text{sec}$ 以上，因此可使薄膜電晶體元件做得更小，開口率增加 (Aperture Ratio) 進而增加顯示器亮度，減少功率消耗的功能。另外，由於電子遷移率之增加可以將部份驅動電路隨同薄膜電晶體製程同時製造於玻璃基板上，大幅提升液晶顯示面板的特性及可靠度，使得面板製造成本大幅降低，因此製造成本較非晶矽薄膜電晶體液晶顯示器低出許多。再加上低溫多晶矽薄膜電晶體液晶顯示器具有厚度薄、重量輕、解析度佳等特點，特別適合應用於要求輕巧省電的行動終端產品上。

低溫多晶矽薄膜電晶體液晶顯示器早期製程以半導體設備方式進行，採用固相結晶 (Solid Phase Crystallization, SPC) 製程，但高達攝氏 1000 度的高溫製程下，必需採用熔點較高的石英基板，由於石英基板成本比玻璃基板貴上許多，且在基板尺寸的限制下，面板大



五、發明說明 (2)

約僅有2至3吋，因此過去只能發展小型面板。之後由於雷射的發展，以雷射結晶化(Laser Crystallization)或準分子雷射退火(Excimer Laser Annealing, ELA)製程來使非晶矽層成為多晶矽層，使用雷射對非晶矽進行掃描使其重新結晶成為多晶矽，在溫度攝氏600度以下完成全部製程，因此一般薄膜電晶體液晶顯示器所用玻璃基板能被採用，才得以製作出較大尺寸面板。

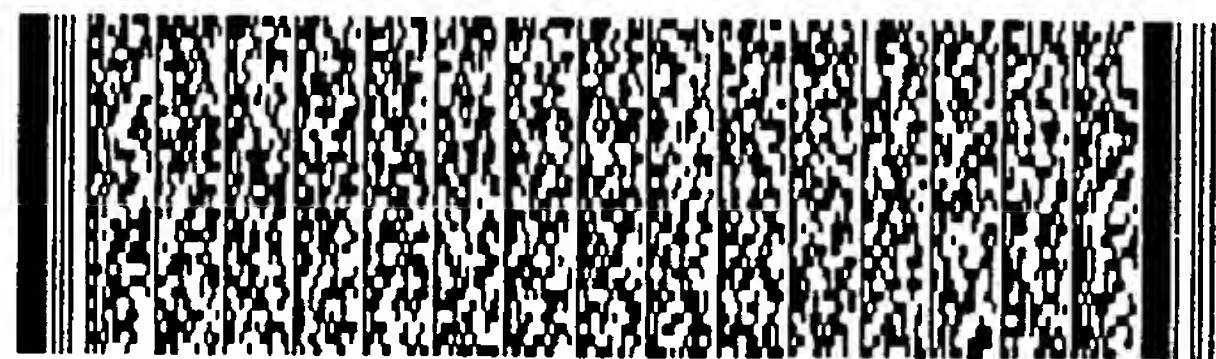
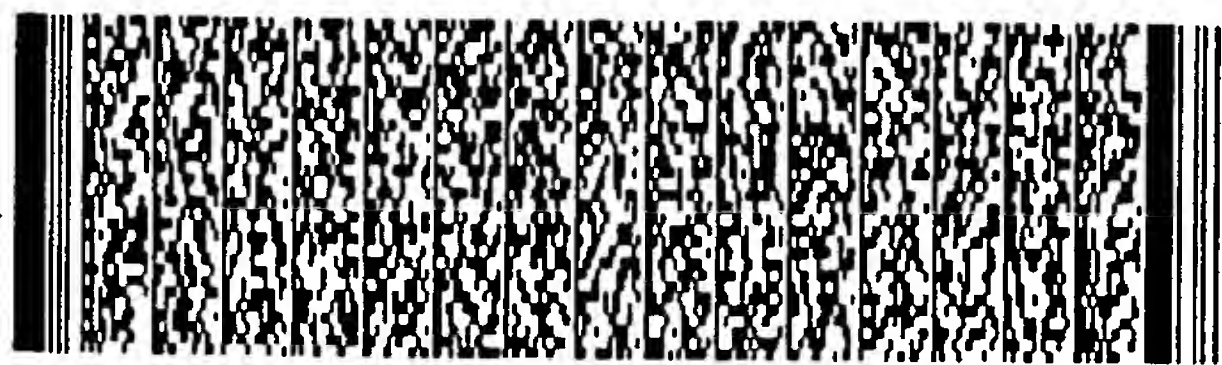
第1A圖至第1D圖所示，其繪示為習知一種低溫多晶矽薄膜電晶體之輕摻雜汲極的製造流程剖面示意圖。

請參照第1A圖，在一基板100上形成一圖案化之多晶矽層102。其中，形成多晶矽層102之方法係首先利用一雷射回火製程以將沈積於基板100上之一非晶矽層(未繪示)轉變成多晶矽薄膜之後，再以一微影蝕刻製程以定義出多晶矽層102。

接著，請參照第1B圖，在基板100上形成一圖案化之光阻層104，其中光阻層104係暴露出預定形成源極/汲極之處。之後，以光阻層104為罩幕進行一離子植入步驟106，以在未被光阻層104覆蓋之多晶矽層102中植入離子，而形成一源極/汲極102a/102b。

之後，請參照第1C圖，將光阻層104移除之後，在基板100上形成一絕緣層108，覆蓋住源極/汲極102a/102b。接著，在絕緣層108上形成一閘極110。

請參照第1D圖，在絕緣層108上形成另一圖案化之光阻層112，其係暴露出閘極110以及預定形成輕摻雜汲極之



五、發明說明 (3)

處。之後，以光阻層114以及閘極110為一植入罩幕進行一離子植入步驟114，以在未被光阻層114以及閘極110覆蓋之處植入離子，而形成一輕摻雜汲極103。其中，在源極/汲極102/102以及輕摻雜汲極103之間的部分即為元件之一通道區102c。

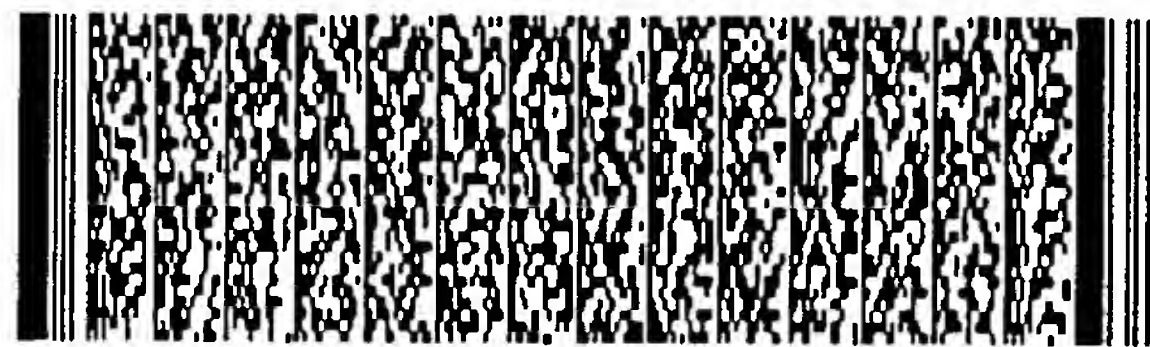
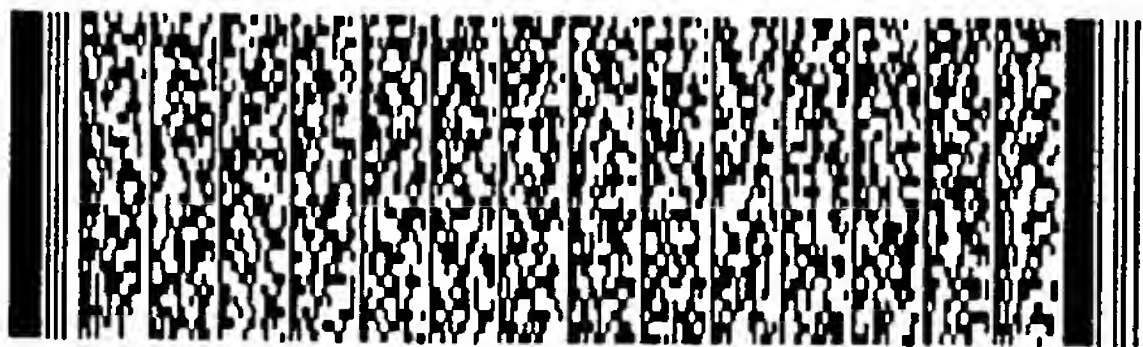
因此，習知形成低溫多晶矽薄膜電晶體之輕摻雜汲極之方法需要兩道光罩製程以及兩次離子植入步驟，因此製程步驟較為繁瑣。特別是，兩道光罩製程的對準及關鍵尺寸之控制都較為不易，因此要精準的控制所形成之輕摻雜汲極之寬度具有相當的困難度。倘若兩道光罩製程之間有產生偏差，而造成源極/汲極與輕摻雜汲極之界面的離子濃度不連續，將會使元件之性質產生偏差。

發明內容

因此，本發明的目的就是在提供一種半導體元件之輕摻雜汲極的製造方法，以改善習知低溫多晶矽薄膜電晶體之輕摻雜汲極利用兩道光罩製程與兩次離子植入步驟會有製程過於繁瑣之缺點。

本發明的另一目的是提供一種半導體元件之輕摻雜汲極的製造方法，以解決習知低溫多晶矽薄膜電晶體之輕摻雜汲極利用兩道光罩製程容易有對準不易以及關鍵尺寸偏差之問題。

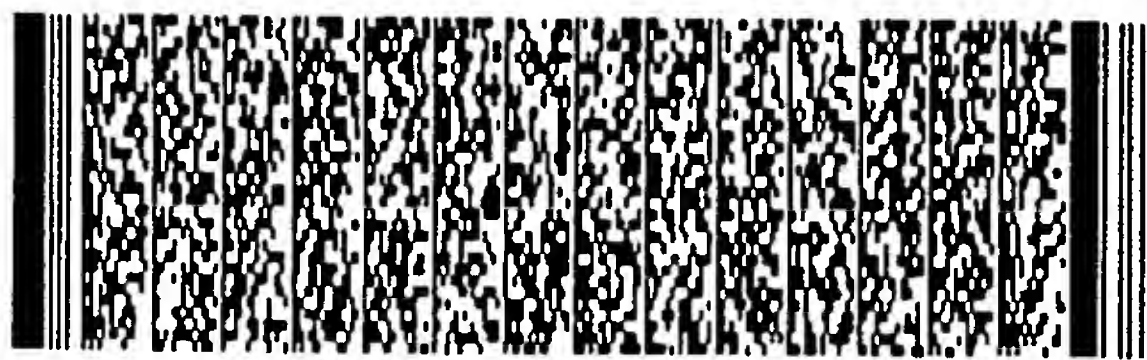
本發明的再一目的是提供一種半導體元件之輕摻雜汲極的製造方法，以使源極/汲極以及輕摻雜汲極能於相同一道光罩以及相同一離子植入步驟形成。



五、發明說明 (4)

本發明提出一種低溫多晶矽薄膜電晶體之輕摻雜汲極的製造方法，此方法係首先供一基板，其中基板上已形成有一多晶矽層，且此多晶矽層具有一第一區域以及一第二區域。在本發明中，形成此多晶矽層之方法係首先在基板上沈積一層非晶矽層，並且利用一雷射回火製程以將非晶矽層轉變成多晶矽材質層之後，再進行一微影蝕刻製程以形成一光阻層，並且在光阻層之上方設置一光罩，其中此光罩具有一遮蔽區、一曝光區以及一局部曝光區。在本發明中，光罩上之局部曝光區係為複數條長條狀圖案所構成。接著進行一微影製程，而圖案化光阻層，其中所形成之圖案化之光阻層係暴露出多晶矽層之第一區域並覆蓋住其第二區域，且覆蓋在第二區域上之光阻層具有一中間部分以及一邊緣部分，其中，光阻層之中間部分之厚度係大於其邊緣部分之厚度。而光阻層之中間部分與其邊緣部分之厚度差異係透過光罩之遮蔽區以及局部曝光區所形成。接著，以圖案化之光阻層為一植入罩幕進行一離子植入步驟，以在多晶矽層之第一區域處形成一源極/汲極，並且同時在被光阻層之邊緣部分所覆蓋之多晶矽層處形成一輕摻雜汲極。

本發明提出一種半導體元件之輕摻雜汲極的製造方法，此方法係首先供一基底，其中此基底具有一第一區域以及一第二區域。之後，在基底上形成一光阻層，並且在光阻層之上方設置一光罩，其中此光罩具有一遮蔽區、一



五、發明說明 (5)

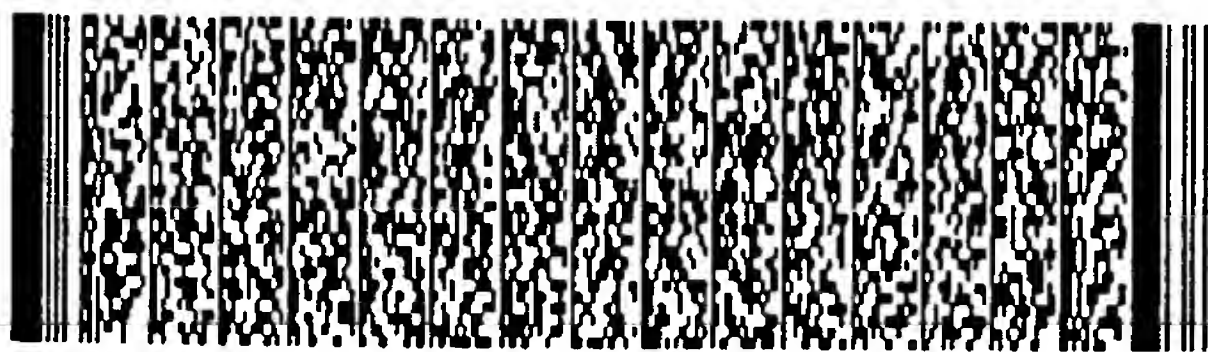
曝光區以及一局部曝光區。在本發明中，光罩上之局部曝光區係由複數條長條狀圖案所構成。接著進行一微影製程，而圖案化光阻層，其中所形成之圖案化之光阻層係暴露出第一區域並覆蓋住其第二區域，且覆蓋在第二區域上之光阻層具有一中間部分以及一邊緣部分。其中，光阻層之中間部分之厚度係大於邊緣部分之厚度。而光阻層之中間部分與其邊緣部分之厚度差異係透過光罩之遮蔽區以及局部曝光區所形成。接著，以圖案化之光阻層為一植入罩幕進行一離子植入步驟，以在基底之第一區域處形成一源極/汲極，並且同時在被光阻層之邊緣部分所覆蓋之基底中形成一輕摻雜汲極。

由於本發明之方法係使元件之源極/汲極以及輕摻雜之汲極於同一離子植入步驟形成，因此較習知方法更為簡化。

由於本發明之方法係利用同一道光罩以形成元件之源極/汲極以及輕摻雜之汲極，因此可避免習知使用兩道光罩會有對準不易以及關鍵尺寸偏差之問題。

本發明之方法可以利用光罩上之局部曝光區之圖案設計以控制所對應之光阻層之厚度，或者是藉由光阻後烘烤之溫度來光阻層之密度，進而控制輕摻雜汲極中之離子摻雜濃度。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：



五、發明說明 (6)

實施方式

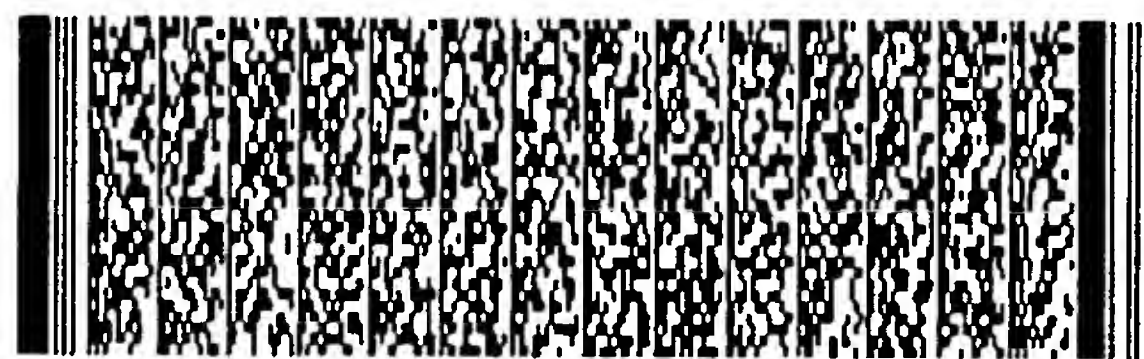
第2A圖至第2D圖，其繪示為依照本發明一較佳實施例之低溫多晶矽薄膜電晶體之輕摻雜汲極的製造流程剖面示意圖。

請參照第2A圖，首先供一基板200，其中基板200上已形成有一多晶矽層202，且此多晶矽層202具有一第一區域201a以及一第二區域201b。在本實施例中，形成此多晶矽層202之方法係首先在基板200上沈積一層非晶矽層(未繪示)，之後利用一雷射回火製程以將非晶矽層轉變成多晶矽材質層，然後再進行一微影蝕刻製程以定義出多晶矽層202。

請參照第2B圖與第2C圖，在形成多晶矽層202之後，在多晶矽層202上形成一光阻層204，並且在光阻層204之上方設置一光罩206，其中此光罩206具有一遮蔽區206a、一曝光區206c以及一局部曝光區206b。

在本實施例中，光罩206上之局部曝光區206b係由複數條長條狀圖案所構成，如第3圖所示。在第3圖中，光罩206上之遮蔽區206a係對應預定形成通道區之處。光罩206上之曝光區206係對應預定形成源極/汲極之處。而光罩206上之局部曝光區206b係對應預定形成輕摻雜汲極之處，其中局部曝光區206b之每一長條狀圖案之寬度例如是介於0.05至0.5微米，且相鄰的兩長條狀圖案之間的間距可為0.05至0.5微米。

接著，請繼續參照第2C圖，進行一微影製程，以圖案



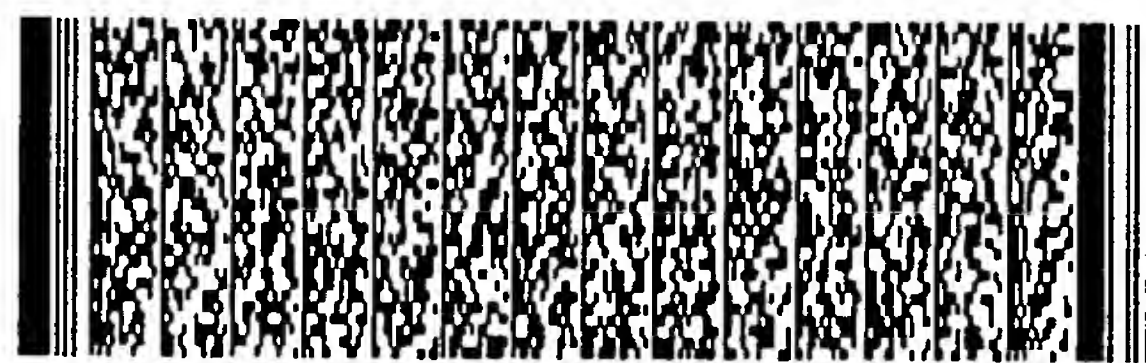
五、發明說明 (7)

化光阻層204，而形成圖案化之光阻層205。其中，所形成之圖案化之光阻層205係暴露出多晶矽層202之第一區域201a並覆蓋住其第二區域201b。而且，覆蓋在第二區域201b上之光阻層205具有一中間部分205a以及一邊緣部分205b，其中，光阻層205之中間部分205a之厚度係大於其邊緣部分205b之厚度。而光阻層205之中間部分205a與其邊緣部分205b之厚度差異係透過光罩206之遮蔽區206a以及局部曝光區206b而形成。在此，光阻層205之中間部分205a之厚度可為1至5微米，而光阻層205之邊緣部分205b之厚度可為0.1至1微米。

請參照第2D圖，以光阻層205為一植入罩幕進行一離子植入步驟208，以在多晶矽層202之第一區域201a處形成一源極/汲極202a/202b，並且同時在被光阻層205之邊緣部分205b所覆蓋之多晶矽層處形成一輕摻雜汲極203。其中，位於源極/汲極202a/202b以及輕摻雜汲極203之間之多晶矽層係為元件之一通道區202c。在本實施例中，源極/汲極202a/202b之離子濃度例如是介於 1×10^{14} 至 1×10^{15} ions/cm²，輕摻雜汲極203之離子濃度例如是介於 1×10^{12} 至 1×10^{14} ions/cm²，且所形成之輕摻雜汲極203之寬度係介於0.1至1微米之間。

後續，將光阻層205移除之後，再依序形成閘絕緣層、閘極、源極/汲極配線等等，以構成一低溫多晶矽薄膜電晶體。

本發明之利用具有局部曝光區之光罩來形成不同厚度



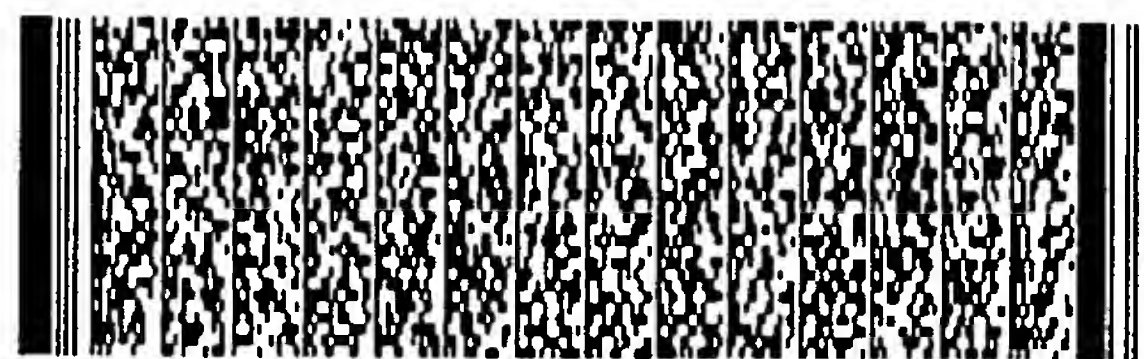
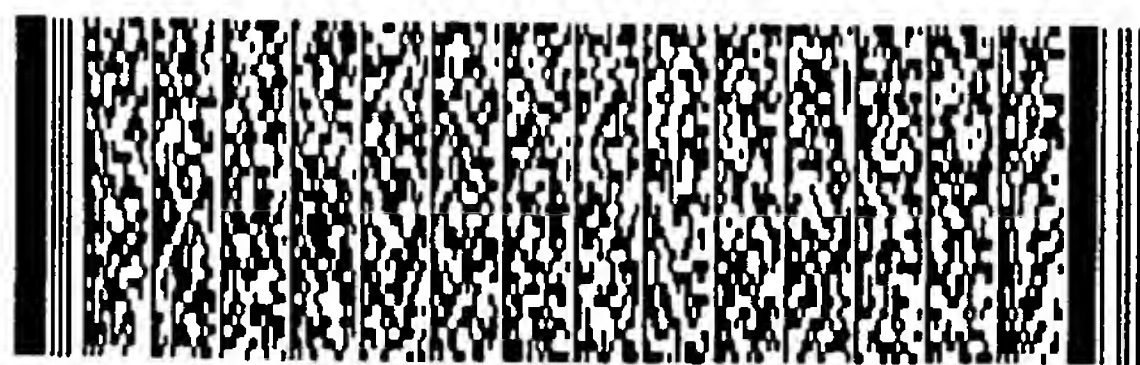
五、發明說明 (8)

之光阻層，藉以形成輕摻雜汲極之方法亦可以應用在邏輯電路之半導體元件中，其詳細說明如下。

第4A圖至第4D圖所示，其繪示是依照本發明一較佳實施例之半導體元件的製造流程剖面示意圖。

請參照第4A圖與第4B圖，首先供一基底300，其中此基底300具有一第一區域301a以及一第二區域301b。接著，在基底300上形成一光阻層302，並且在光阻層302之上方設置一光罩306，其中此光罩306具有一遮蔽區306a、一曝光區306c以及一局部曝光區306b。在本實施例中，光罩306上之局部曝光區306b係由複數條長條狀圖案所構成。其中，局部曝光區306b之每一長條狀圖案之寬度例如是介於0.005至0.05微米，且相鄰的兩長條狀圖案之間的間距例如是介於0.005至0.05微米。

接著，進行一微影製程，以圖案化光阻層302，而形成圖案化之光阻層305。其中，所形成之圖案化之光阻層305係暴露出基底300之第一區域301a並覆蓋住其第二區域301b，且覆蓋在第二區域301b上之光阻層305具有一中間部分305a以及一邊緣部分305b，其中，光阻層305之中間部分305a之厚度係大於邊緣部分305b之厚度。在本實施例中，光阻層305之中間部分305a之厚度例如是介於0.1至1微米，光阻層305之邊緣部分305b之厚度例如是介於0.01至0.1微米。值得一提的是，光阻層305之中間部分305a與其邊緣部分305b之厚度差異係透過光罩306之遮蔽區306a以及局部曝光區306b而形成。



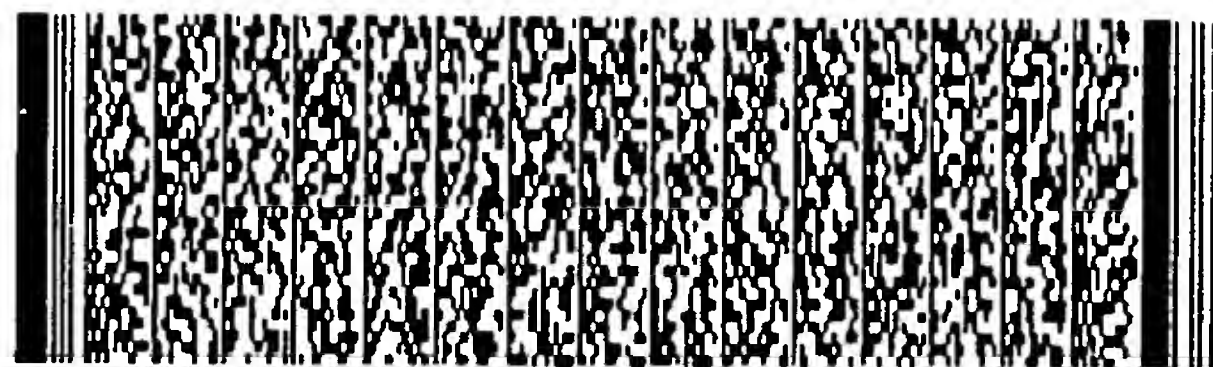
五、發明說明 (9)

請參照第4C圖，以光阻層305為一植入罩幕進行一離子植入步驟308，以在基底300之第一區域301a處形成一源極/汲極310a/310b，並且同時在被光阻層305之邊緣部分305b所覆蓋之基底100中形成一輕摻雜汲極312。在本實施例中，源極/汲極310a/310b之離子濃度例如是介於 1×10^{13} 至 1×10^{16} ions/cm²，輕摻雜汲極312之離子濃度例如是介於 1×10^{12} 至 1×10^{15} ions/cm²，且所形成之輕摻雜汲極312之寬度係介於0.01至0.1微米之間。

後續，請參照第4D圖，將光阻層305移除之後，在基底300之表面形成一閘絕緣層314，再於閘絕緣層314上形成一閘極316，以構成一MOS半導體元件。

本發明之低溫多晶矽薄膜電晶體之輕摻雜汲極的形成方法，由於其係利用相同一道光罩製程以及相同一離子植入步驟以形成元件之源極/汲極以及輕摻雜汲極，因此非但可以簡化製程，而且還可以避免使用兩道光罩會有對準失誤以及關鍵尺寸偏差之問題。而且由於元件之源極/汲極以及輕摻雜汲極係以相同一離子植入步驟所形成，因此源極/汲極以及輕摻雜汲極之離子摻雜之濃度連續，如此可使元件具有較佳之電路特性。特別是，本發明之方法還可以利用光罩上之局部曝光區的設計，以控制所形成之光阻層之厚度，進而控制輕摻雜汲極之離子摻雜濃度。除此之外，透過光阻後烘烤之溫度，以控制光阻層之密度，亦可以控制輕摻雜汲極之離子摻雜濃度。

綜合以上所述，本發明具有下列優點：



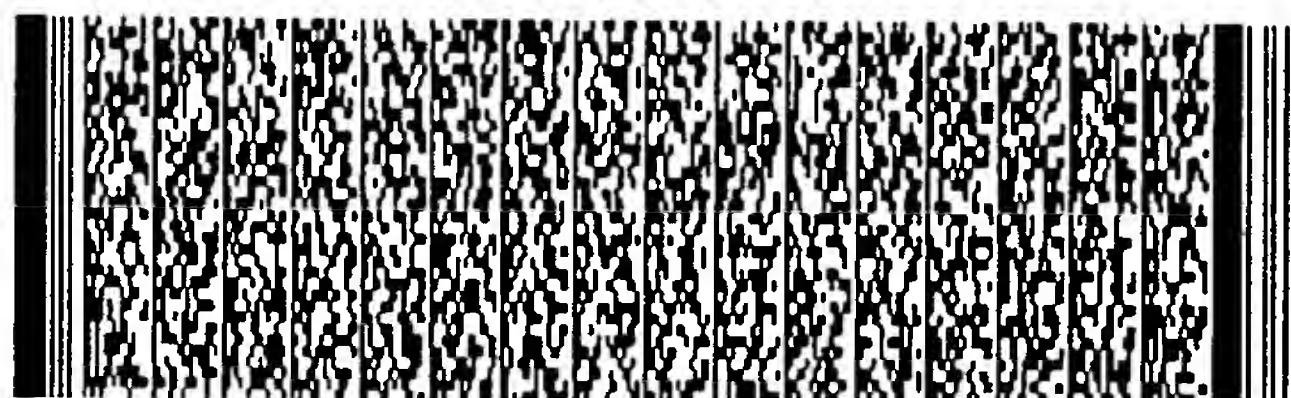
五、發明說明 (10)

1. 由於本發明之方法係使元件之源極/汲極以及輕摻雜之汲極於同一離子植入步驟形成，因此較習知方法更為簡化。

2. 由於本發明之方法係利用同一道光罩以形成元件之源極/汲極以及輕摻雜之汲極，因此可避免習知使用兩道光罩會有對準不易以及關鍵尺寸偏差之問題。

3. 本發明之方法可以利用光罩上之局部曝光區之圖案設計以控制所對應之光阻層之厚度，或者是藉由光阻後烘烤之溫度來光阻層之密度，進而控制輕摻雜汲極中之離子摻雜濃度。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖至第1D圖為習知一種低溫多晶矽薄膜電晶體之輕摻雜汲極的製造流程剖面示意圖；

第2A圖至第2D圖是依照本發明一較佳實施例之低溫多晶矽薄膜電晶體之輕摻雜汲極的製造流程剖面示意圖；

第3圖是第2C圖中所使用之光罩之上視示意圖；以及

第4A圖至第4D圖是依照本發明一較佳實施例之半導體元件的製造流程剖面示意圖。

【圖式之標示說明】

100、200、300：基底

102、202：多晶矽層

102a/102b、202a/202b、310a/310b：源極/汲極

102c、202c：通道層

103、203、312：輕摻雜汲極

104、112、204、205、302、305：光阻層

106、114、208、308：離子植入步驟

108、314：絕緣層

110、316：閘極

206、306：光罩

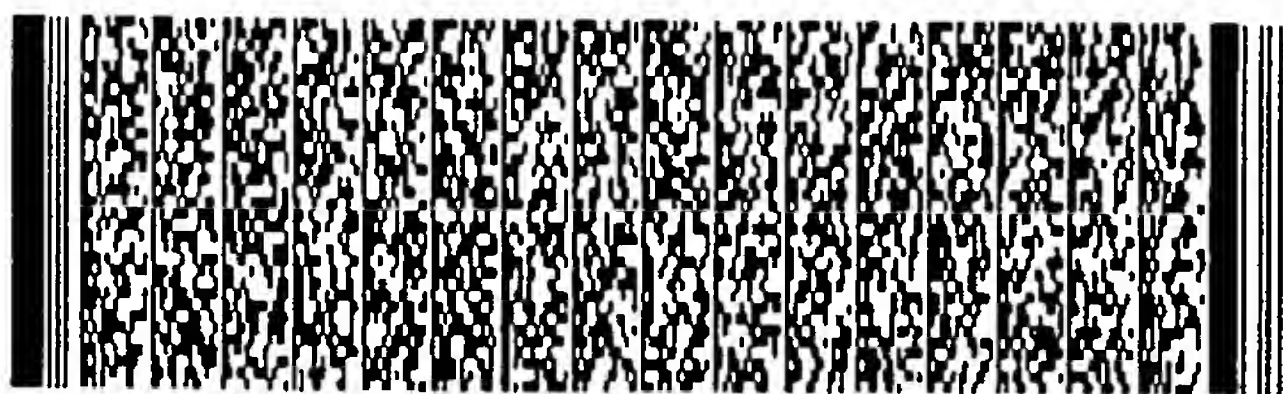
206a、306a：遮蔽區

206b、306b：局部曝光區

206c、306c：曝光區

205a、305a：中間部分

205b、305b：邊緣部分



六、申請專利範圍

1. 一種低溫多晶矽薄膜電晶體之輕摻雜汲極的製造方法，包括：

提供一基板，該基板上已形成有一多晶矽層，其中該多晶矽層具有一第一區域以及一第二區域；

在該多晶矽層上形成一光阻層，該光阻層係暴露出該第一區域並覆蓋住該第二區域，且覆蓋在該第二區域上之該光阻層具有一中間部分以及一邊緣部分，其中該光阻層之該中間部分之厚度係大於該邊緣部分之厚度；以及

以該光阻層為一植入罩幕進行一離子植入步驟，以在該多晶矽層之該第一區域處形成一源極/汲極，並且同時在被該光阻層之該邊緣部分所覆蓋之該多晶矽層中形成一輕摻雜汲極。

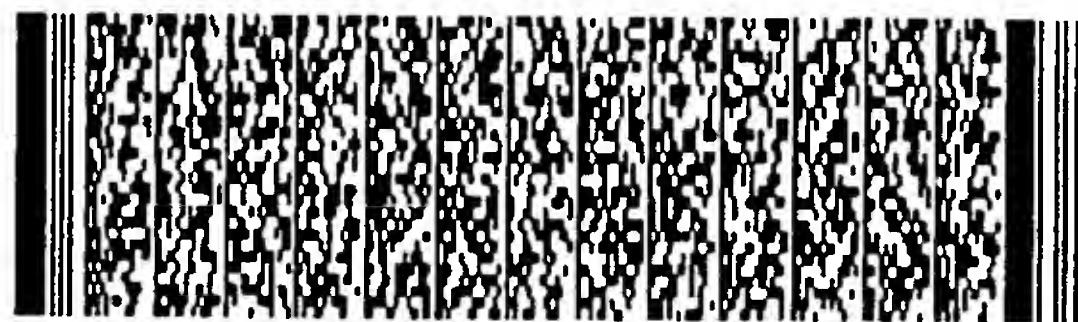
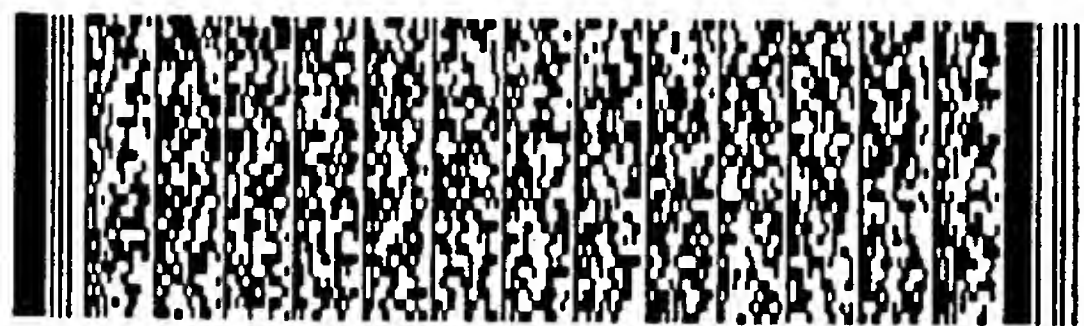
2. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體之輕摻雜汲極的製造方法，其中該光阻層之該中間部分之厚度係介於1至5微米之間，該光阻層之該邊緣部分之厚度係介於0.1至1微米之間。

3. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體之輕摻雜汲極的製造方法，其中該輕摻雜汲極之寬度係介於0.1至1微米之間。

4. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體之輕摻雜汲極的製造方法，其中形成該多晶矽層之方法包括：

在該基板上形成一非晶矽層；

進行一雷射回火製程，以將該非晶矽層轉變成一多晶



六、申請專利範圍

矽材質層；以及

進行一微影蝕刻製程，以定義出該多晶矽層。

5. 如申請專利範圍第1項所述之低溫多晶矽薄膜電晶體之輕摻雜汲極的製造方法，其中該源極/汲極中之離子濃度係介於 1×10^{14} 至 1×10^{15} ions/cm²，且該輕摻雜汲極中之離子濃度係介於 1×10^{12} 至 1×10^{14} ions/cm²。

6. 一種低溫多晶矽薄膜電晶體之輕摻雜汲極的製造方法，包括：

提供一基板，該基板上已形成有一多晶矽層，其中該多晶矽層具有一第一區域以及一第二區域；

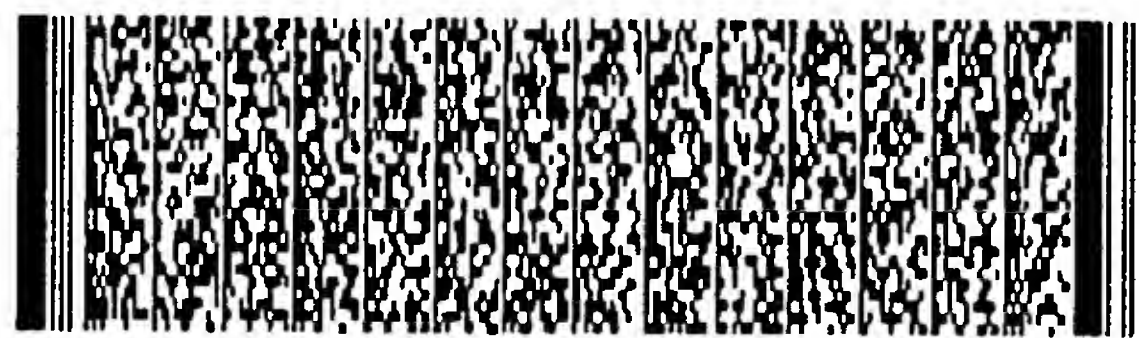
在該多晶矽層上形成一光阻層；

在該光阻層之上方設置一光罩，其中該光罩具有一遮蔽區、一曝光區以及一局部曝光區；

進行一微影製程，以圖案化該光阻層，其中該圖案化之光阻層係暴露出該第一區域並覆蓋住該第二區域，且覆蓋在該第二區域上之該圖案化之光阻層具有一中間部分以及一邊緣部分，該中間部分之厚度係大於該邊緣部分之厚度，而該中間部分與該邊緣部分之厚度差異係透過該光罩上之該遮蔽區與該局部曝光區所形成；以及

以該圖案化之光阻層為一植入罩幕進行一離子植入步驟，以在該多晶矽層之該第一區域形成一源極/汲極，並且同時在被該光阻層之該邊緣部分所覆蓋之該多晶矽層中形成一輕摻雜汲極。

7. 如申請專利範圍第6項所述之低溫多晶矽薄膜電晶



六、申請專利範圍

體之輕摻雜汲極的製造方法，其中該光罩之該局部曝光區係由複數個長條狀圖案所構成。

8. 如申請專利範圍第7項所述之低溫多晶矽薄膜電晶體之輕摻雜汲極的製造方法，其中該些長條狀圖案之寬度係介於0.05至0.5微米，且該些長條狀圖案之間距係介於0.05至0.5微米。

9. 如申請專利範圍第6項所述之低溫多晶矽薄膜電晶體之輕摻雜汲極的製造方法，其中該光阻層之該中間部分之厚度係介於1至5微米之間，且該光阻層之該邊緣部分之厚度係介於0.1至1微米之間。

10. 如申請專利範圍第6項所述之低溫多晶矽薄膜電晶體之輕摻雜汲極的製造方法，其中該輕摻雜汲極之寬度係介於0.1至1微米之間。

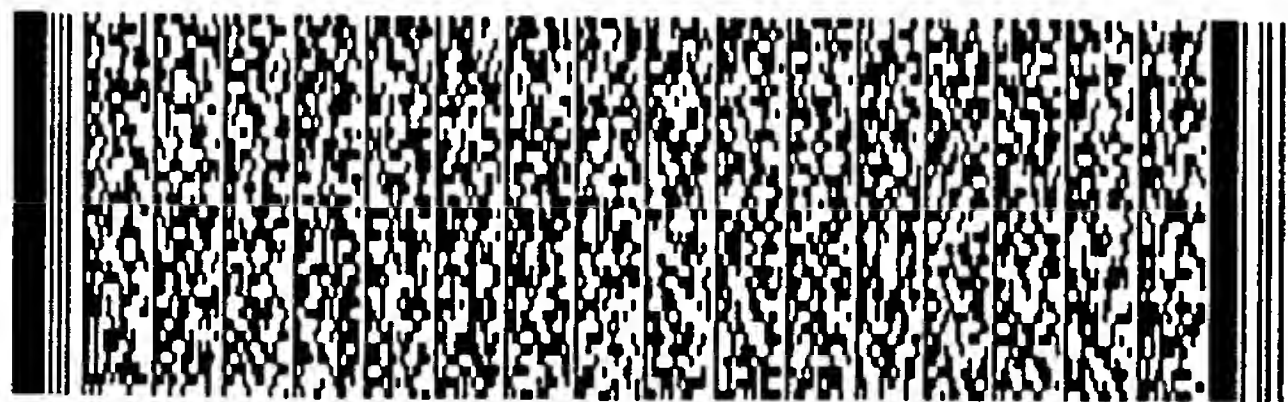
11. 如申請專利範圍第6項所述之低溫多晶矽薄膜電晶體之輕摻雜汲極的製造方法，其中形成該多晶矽層之方法包括：

在該基板上形成一非晶矽層；

進行一雷射回火製程，以將該非晶矽層轉變成一多晶矽材質層；以及

進行一微影蝕刻製程，以定義出該多晶矽層之位置。

12. 如申請專利範圍第6項所述之低溫多晶矽薄膜電晶體之輕摻雜汲極的製造方法，其中該源極/汲極中之離子濃度係介於 1×10^{14} 至 1×10^{15} ions/cm²，且該輕摻雜汲極中之離子濃度係介於 1×10^{12} 至 1×10^{14} ions/cm²。



六、申請專利範圍

13. 一種半導體元件之輕摻雜汲極的製造方法，包括：

提供一基底，其中該基底具有一第一區域以及一第二區域；

在該基底上形成一光阻層；

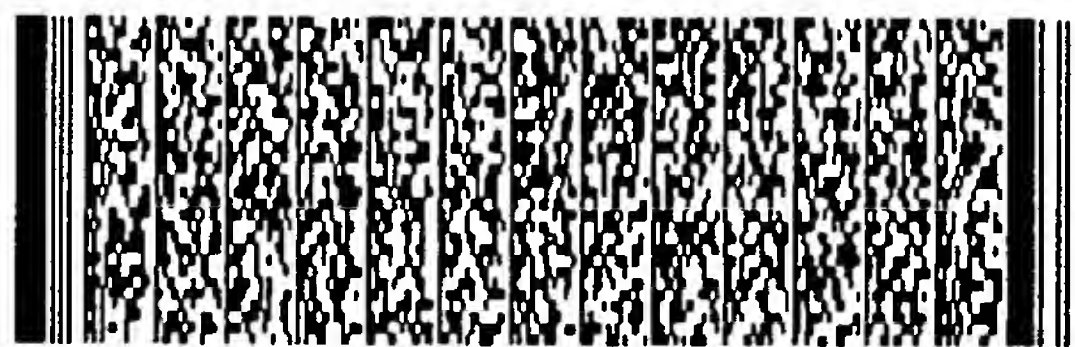
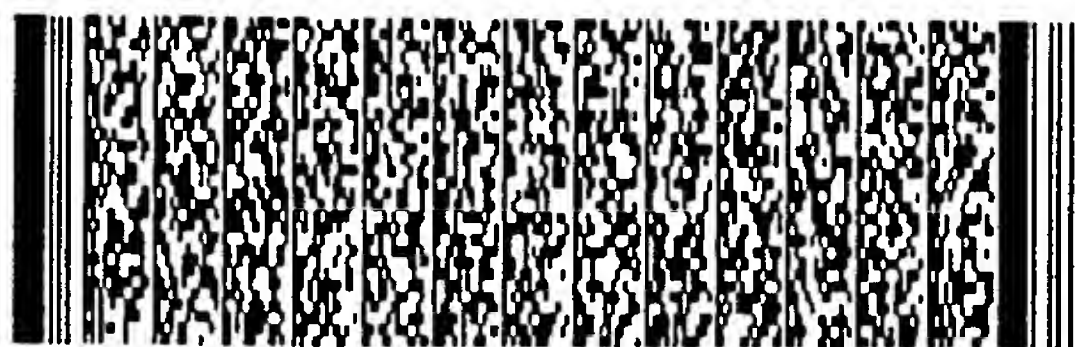
在該光阻層之上方設置一光罩，其中該光罩具有一遮蔽區、一曝光區以及一局部曝光區；

進行一微影製程，以圖案化該光阻層，其中該圖案化之光阻層係暴露出該第一區域並覆蓋住該第二區域，且覆蓋在該第二區域上之該圖案化之光阻層具有一中間部分以及一邊緣部分，該中間部分之厚度係大於該邊緣部分之厚度，而該中間部分與該邊緣部分之厚度差異係透過該光罩上之該遮蔽區與該局部曝光區所形成；以及

以該圖案化之光阻層為一植入罩幕進行一離子植入步驟，以在該基底之該第一區域處形成一源極/汲極，並且同時在被該光阻層之該邊緣部分所覆蓋之該基底中形成一輕摻雜汲極。

14. 如申請專利範圍第13項所述之半導體元件之輕摻雜汲極的製造方法，其中該光罩之該局部曝光區係由複數個長條狀圖案所構成。

15. 如申請專利範圍第14項所述之半導體元件之輕摻雜汲極的製造方法，其中該些長條狀圖案之寬度係介於0.005至0.05微米，且該些長條狀圖案之間距係介於0.005至0.05微米。



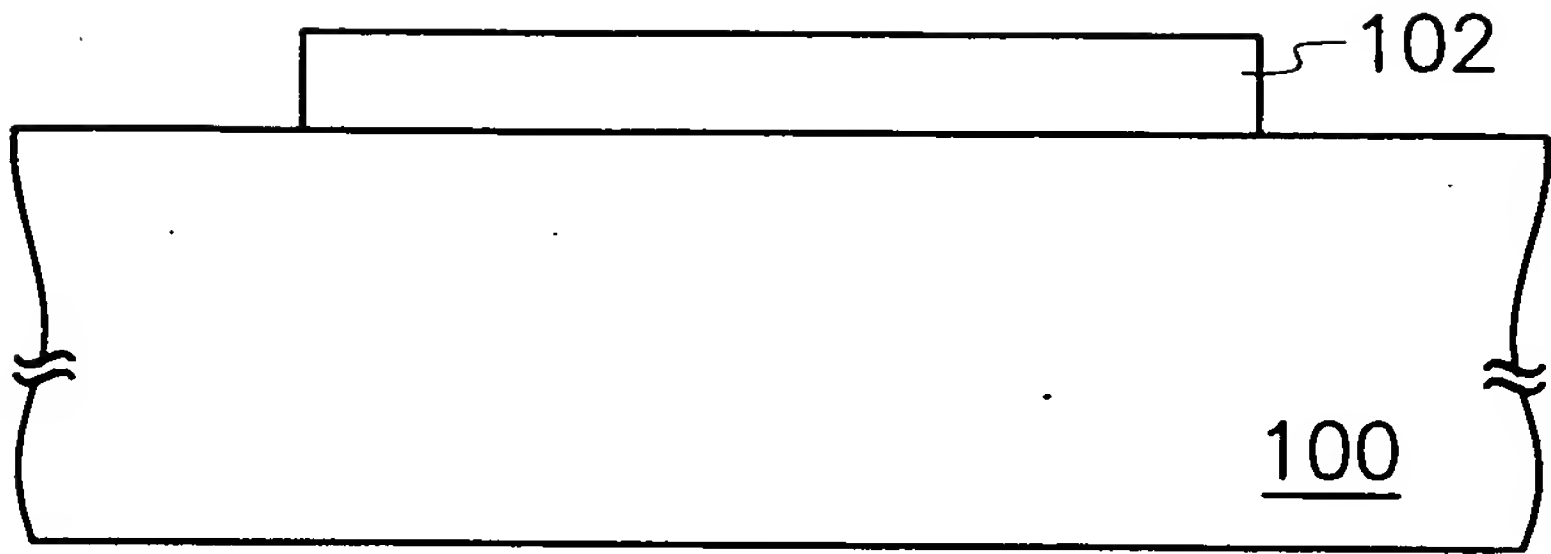
六、申請專利範圍

16. 如申請專利範圍第13項所述之半導體元件之輕摻雜汲極的製造方法，其中該光阻層之該中間部分之厚度係介於1至5微米之間，且該光阻層之該邊緣部分之厚度係介於0.1至1微米之間。

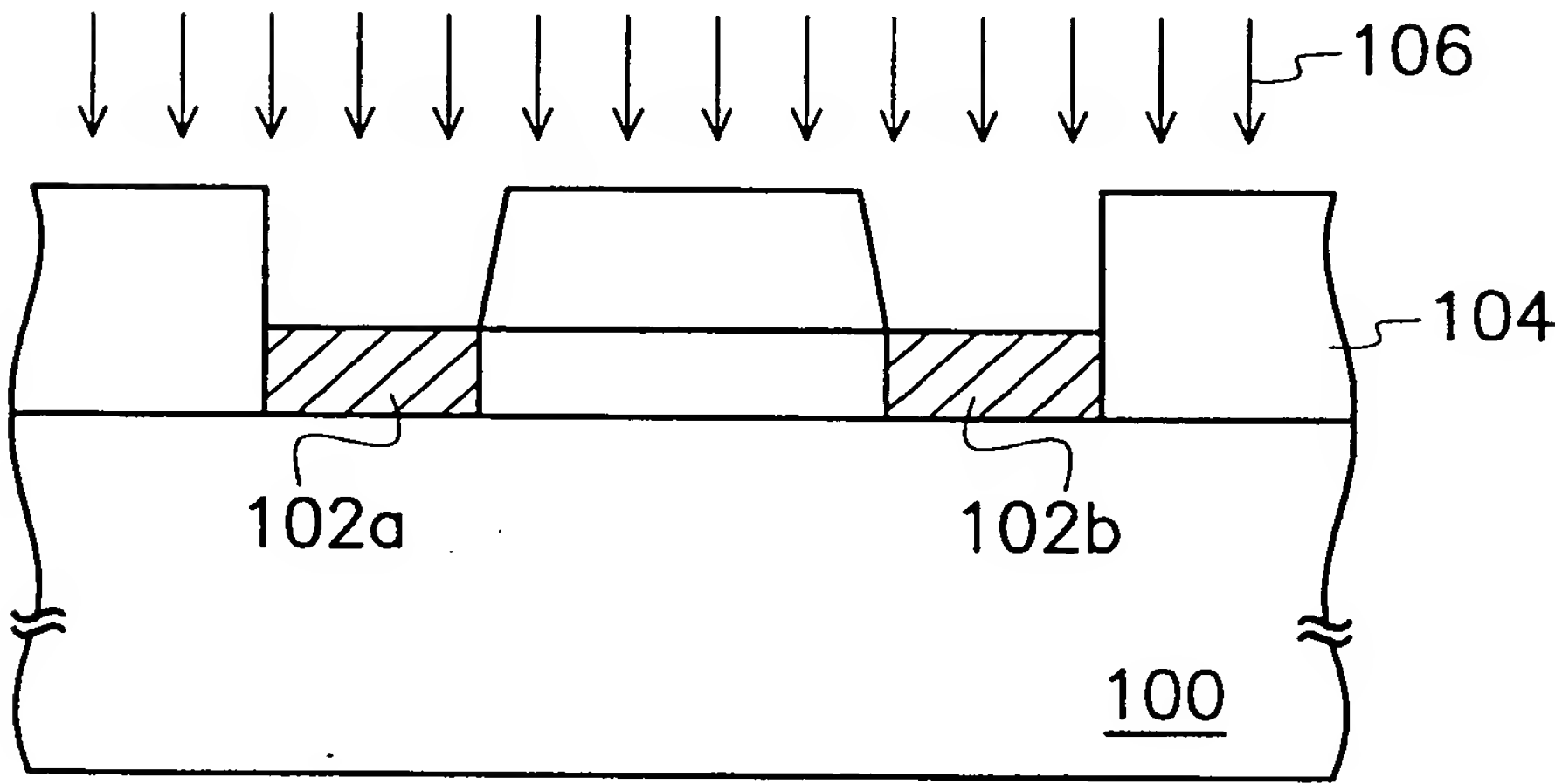
17. 如申請專利範圍第13項所述之半導體元件之輕摻雜汲極的製造方法，其中該輕摻雜汲極之寬度係介於0.1至1微米之間。

18. 如申請專利範圍第13項所述之半導體元件之輕摻雜汲極的製造方法，其中該源極/汲極中之離子濃度係介於 1×10^{13} 至 1×10^{16} ions/cm²，且該輕摻雜汲極中之離子濃度係介於 1×10^{12} 至 1×10^{15} ions/cm²。

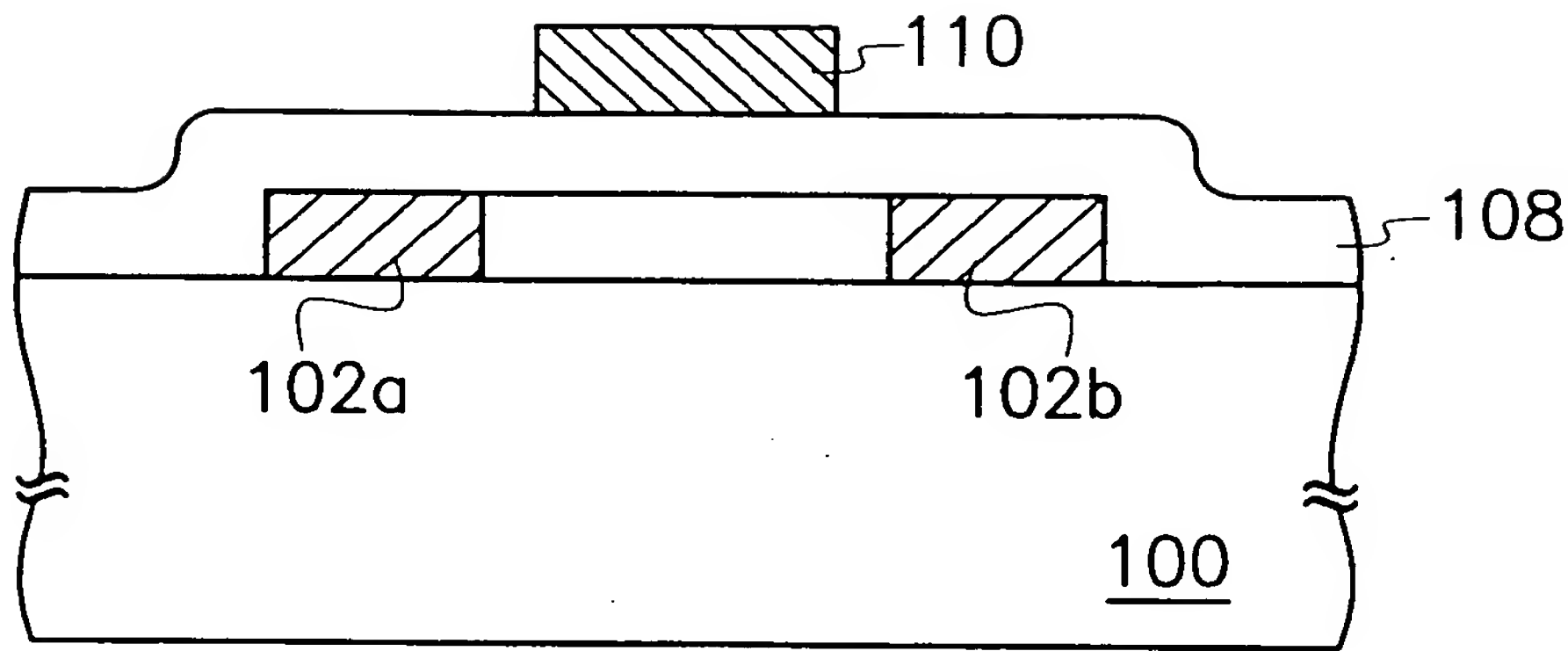




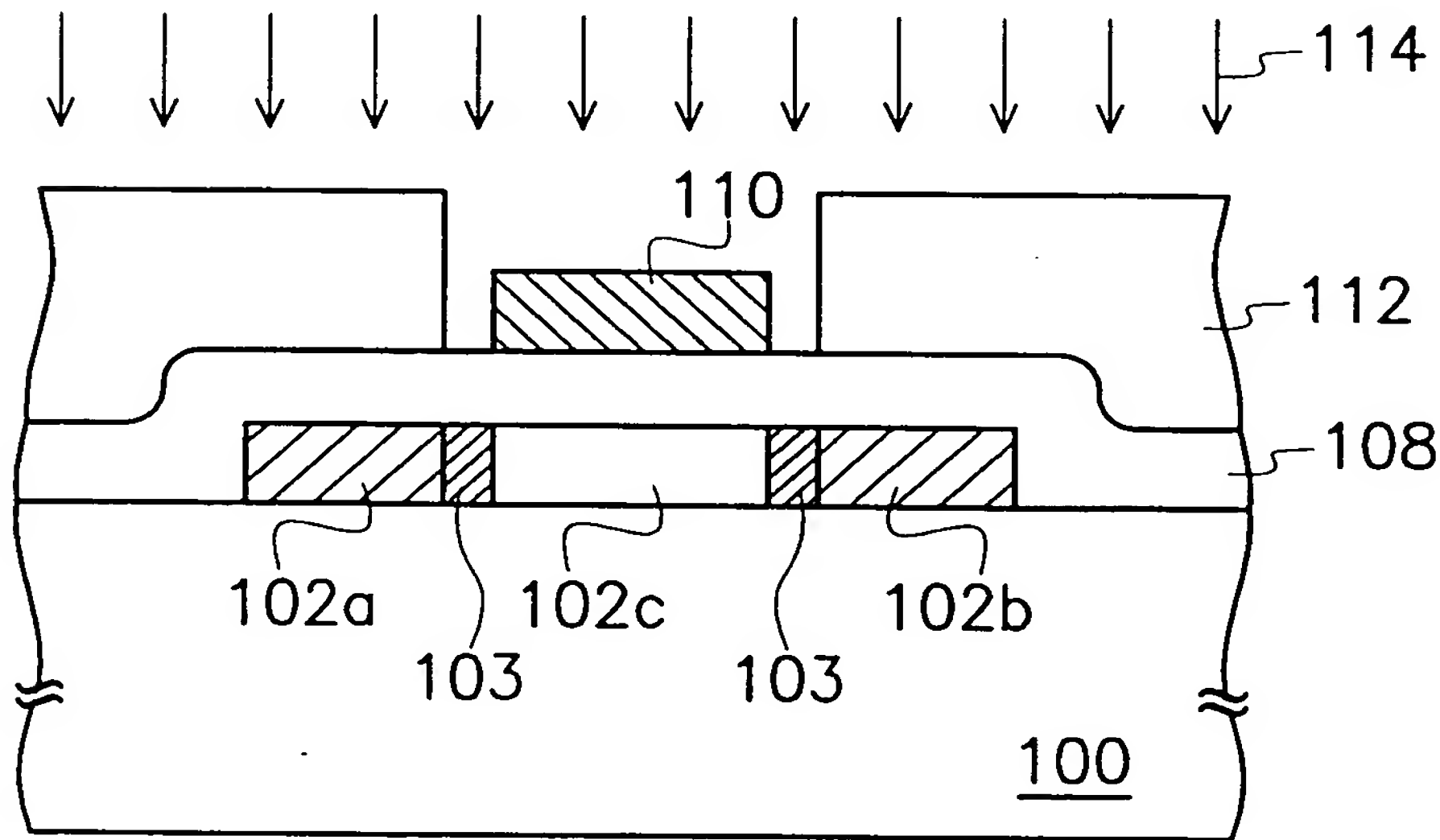
第 1A 圖



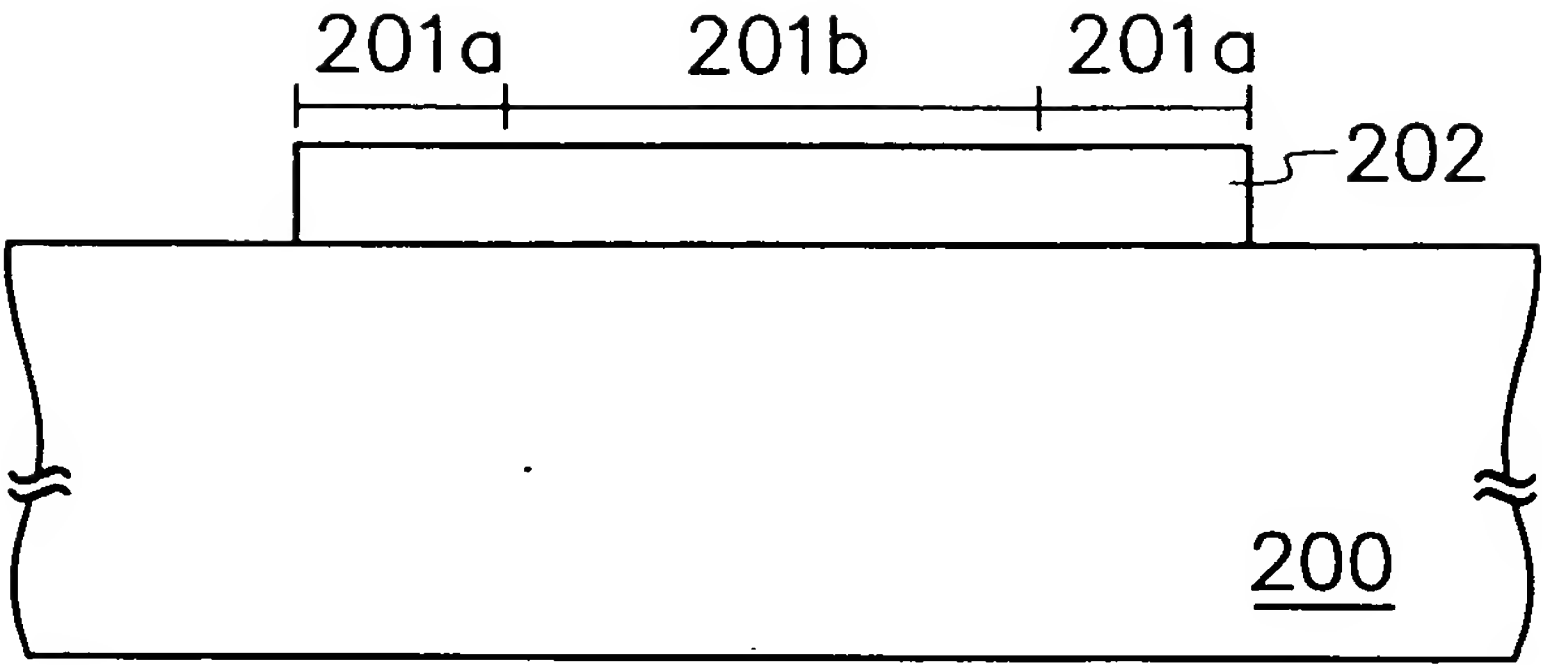
第 1B 圖



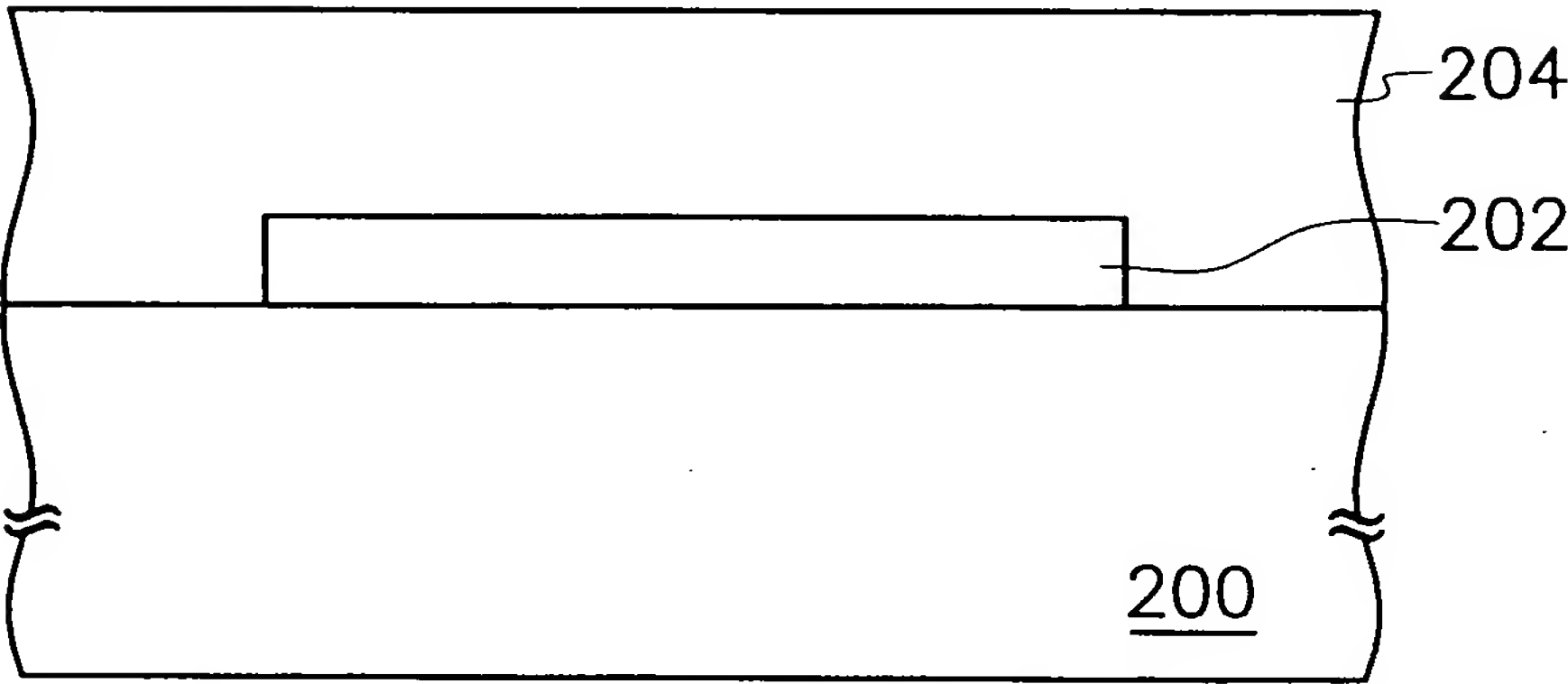
第 1C 圖



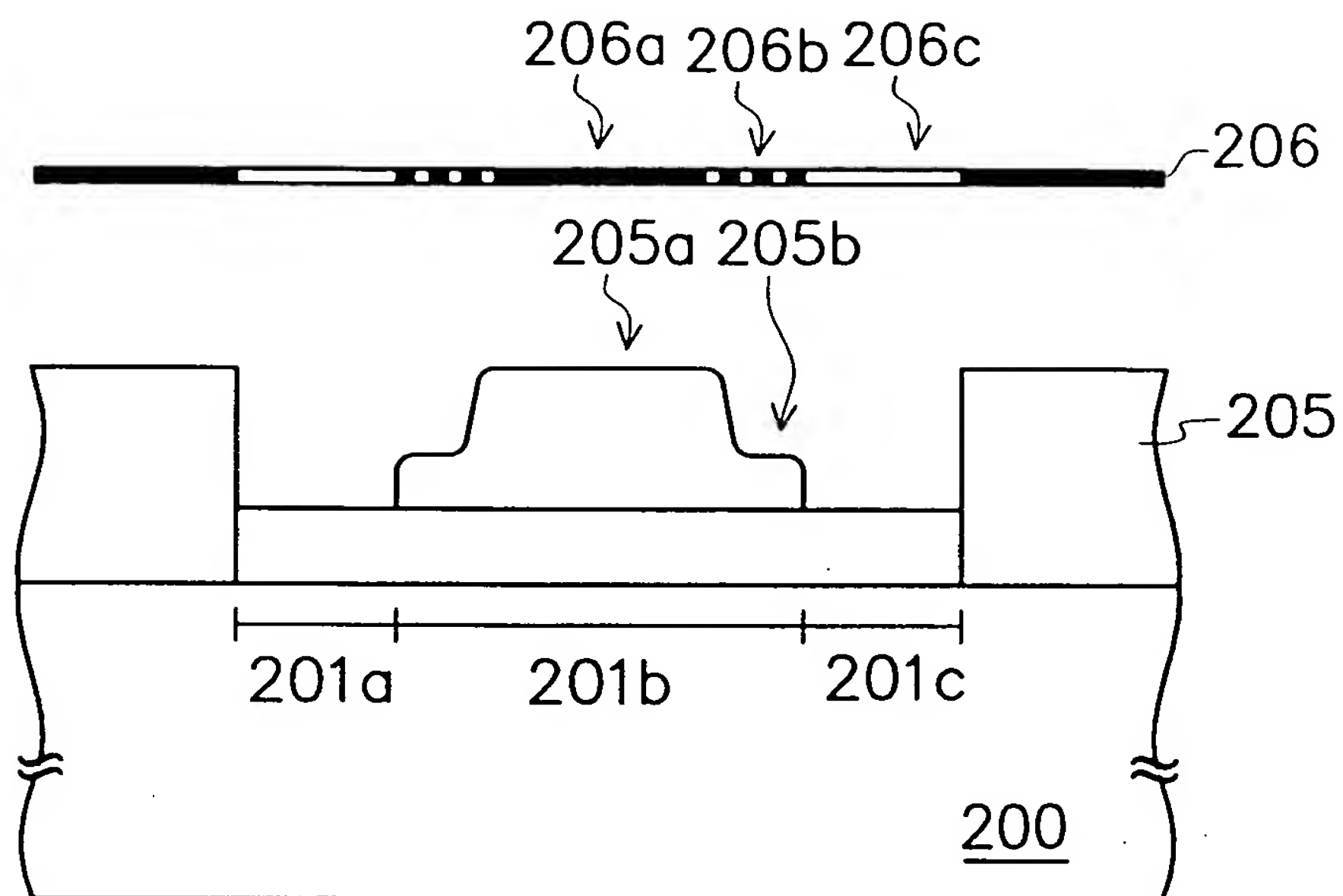
第 1D 圖



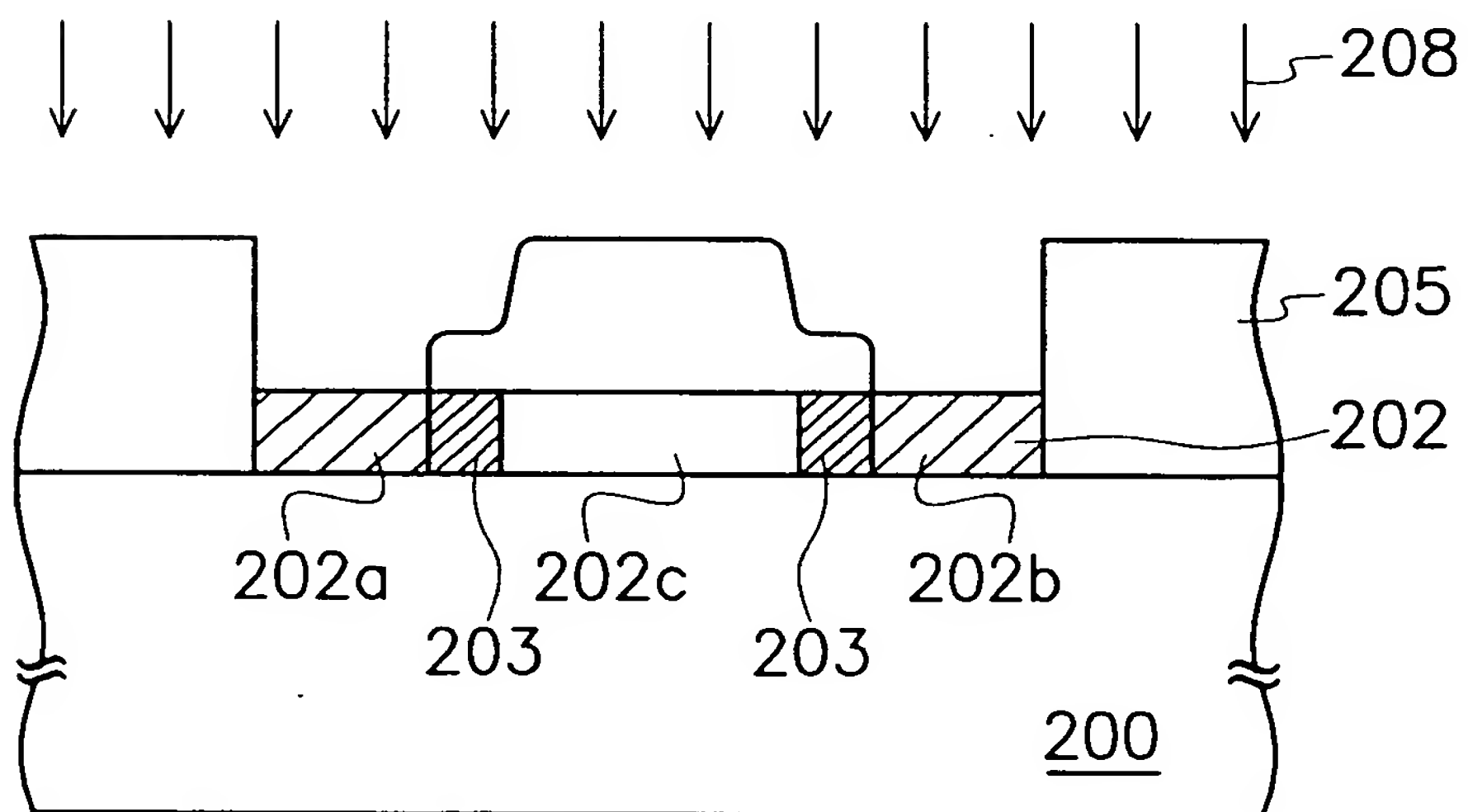
第 2A 圖



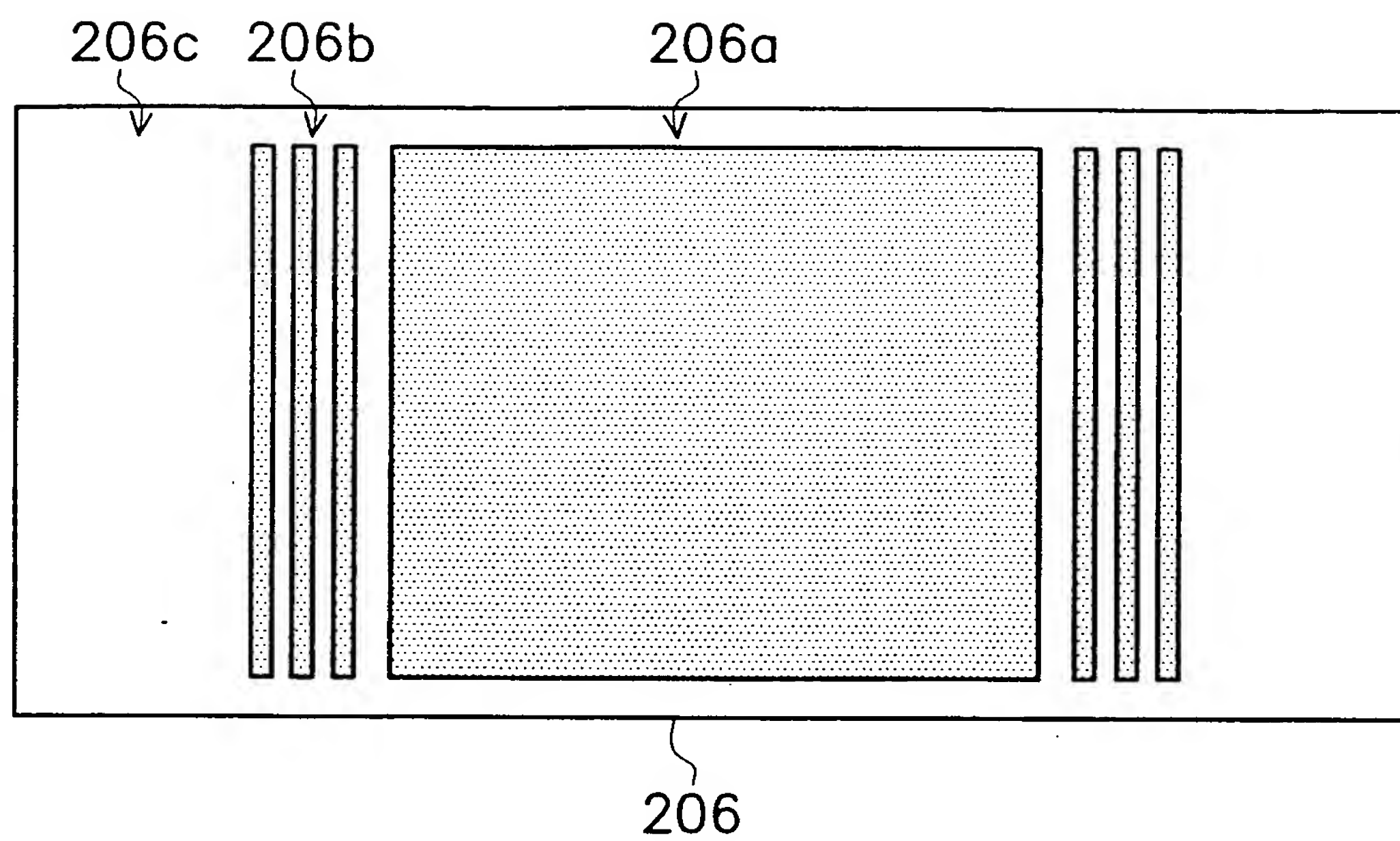
第 2B 圖



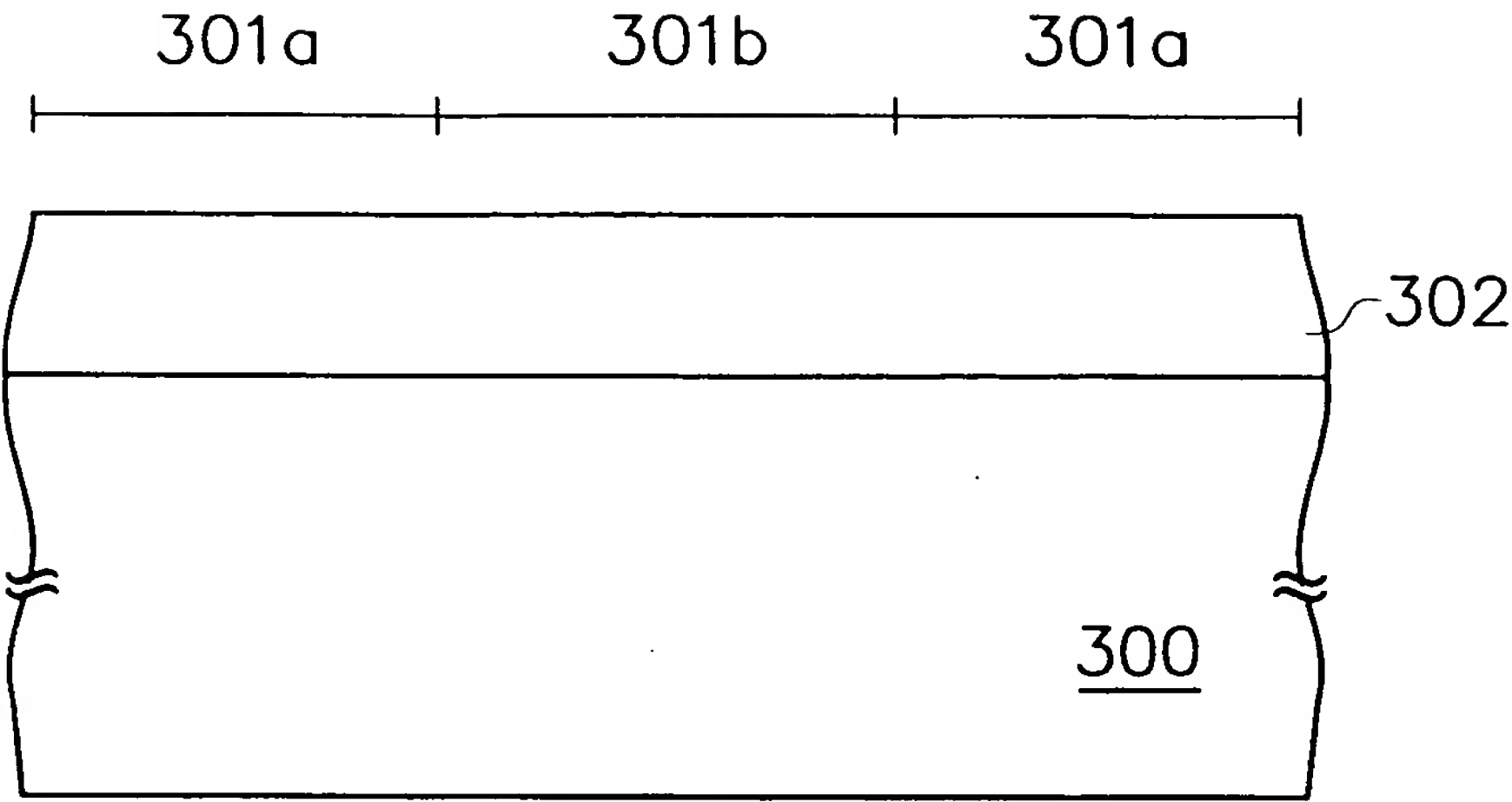
第 2C 圖



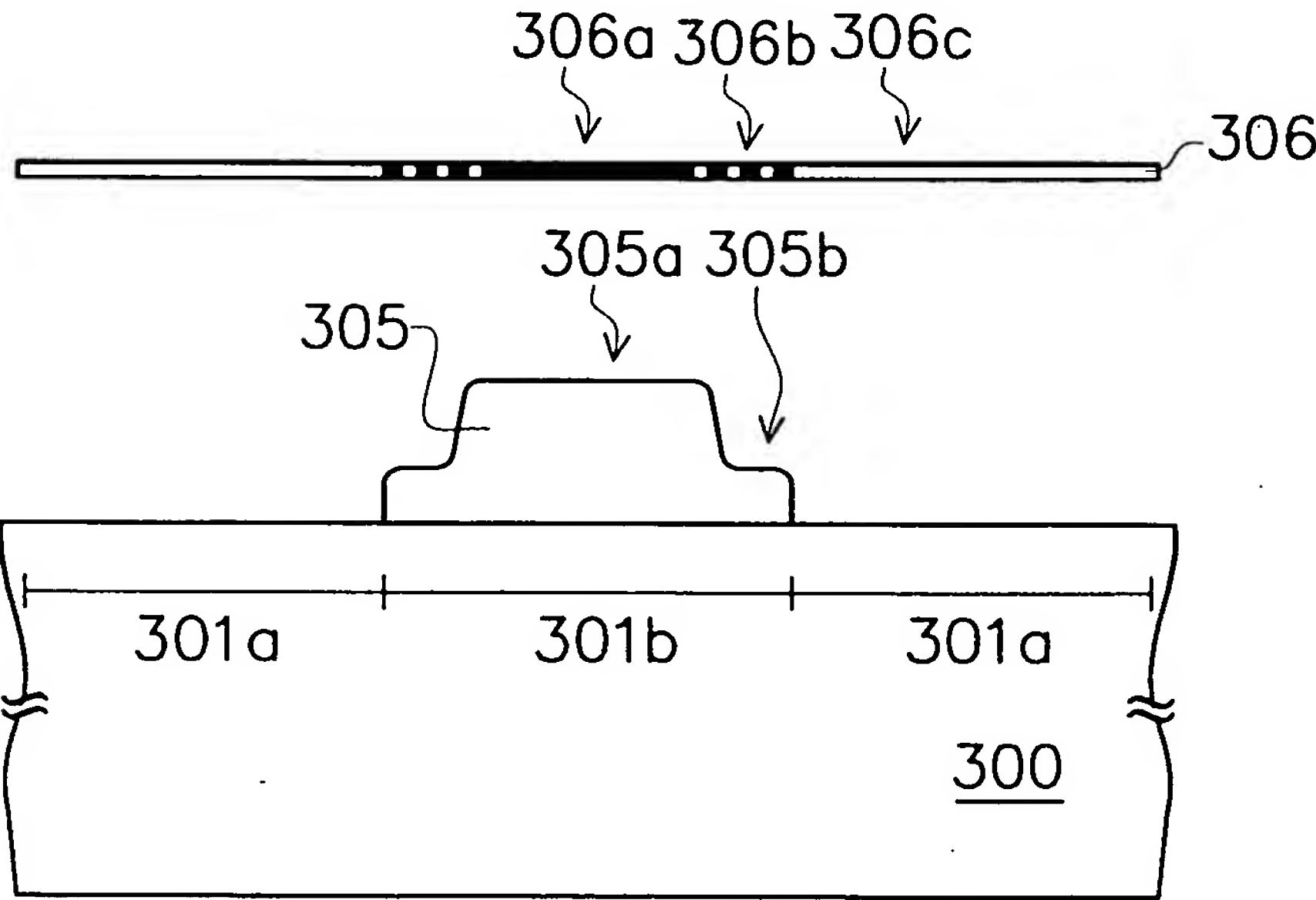
第 2D 圖



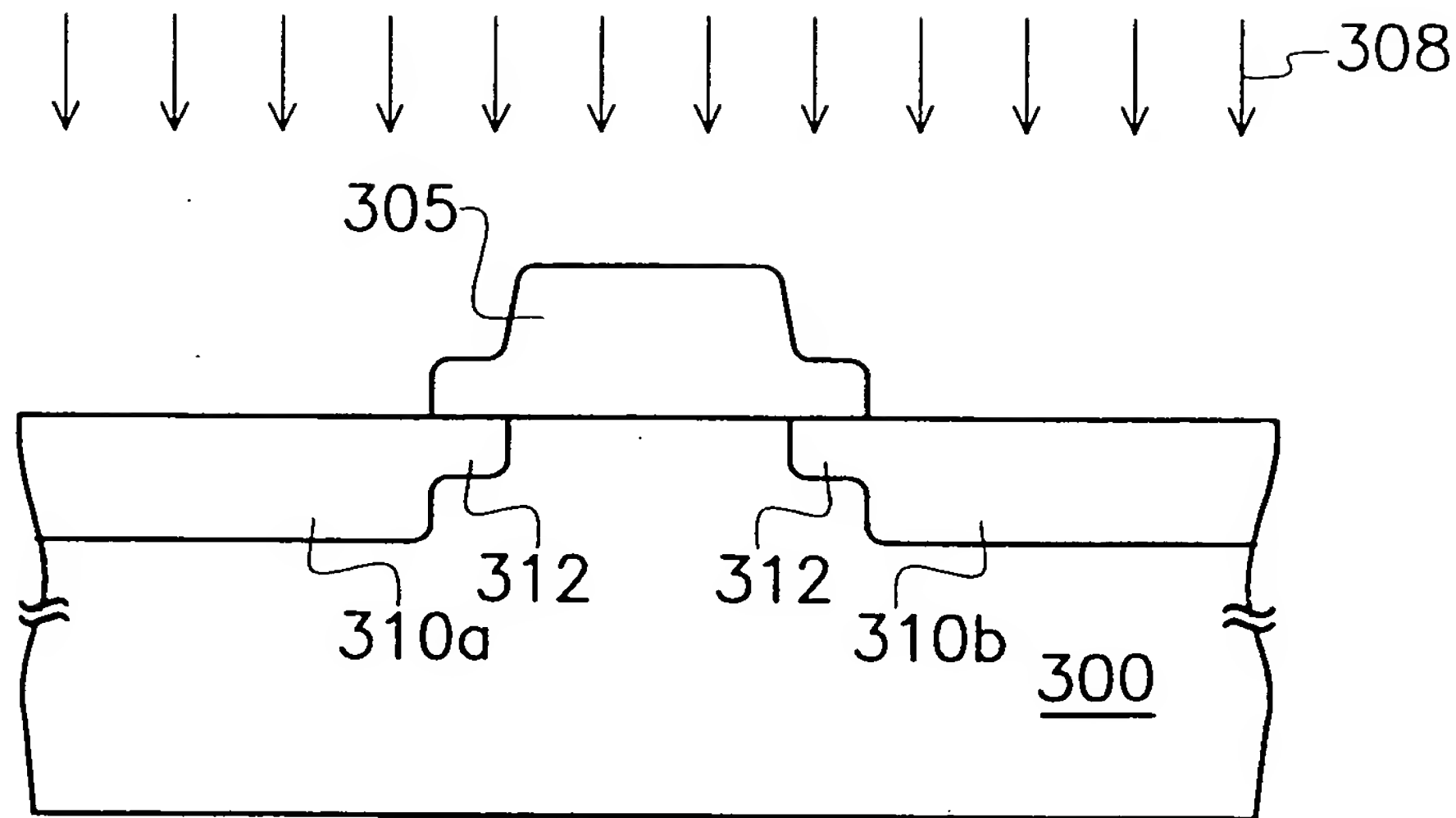
第 3 圖



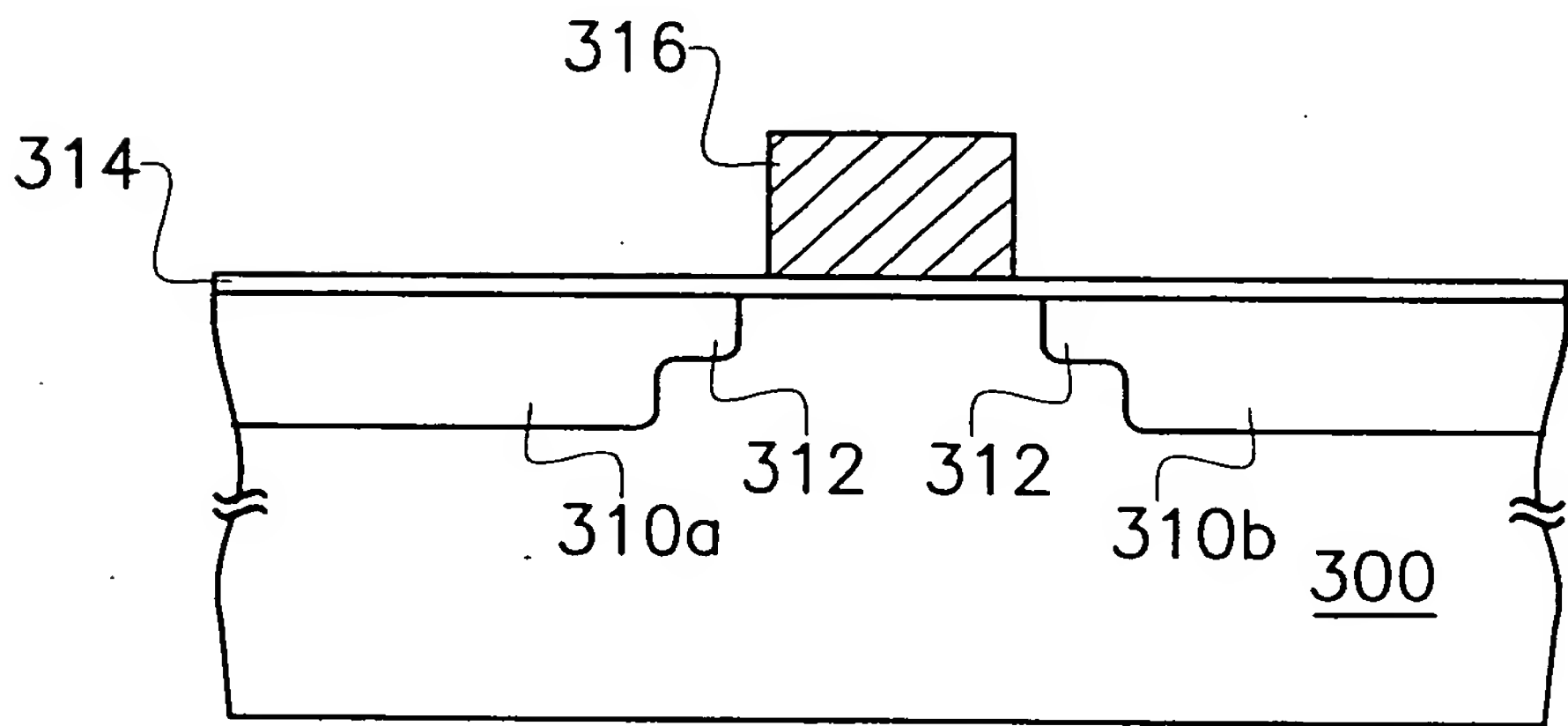
第 4A 圖



第 4B 圖

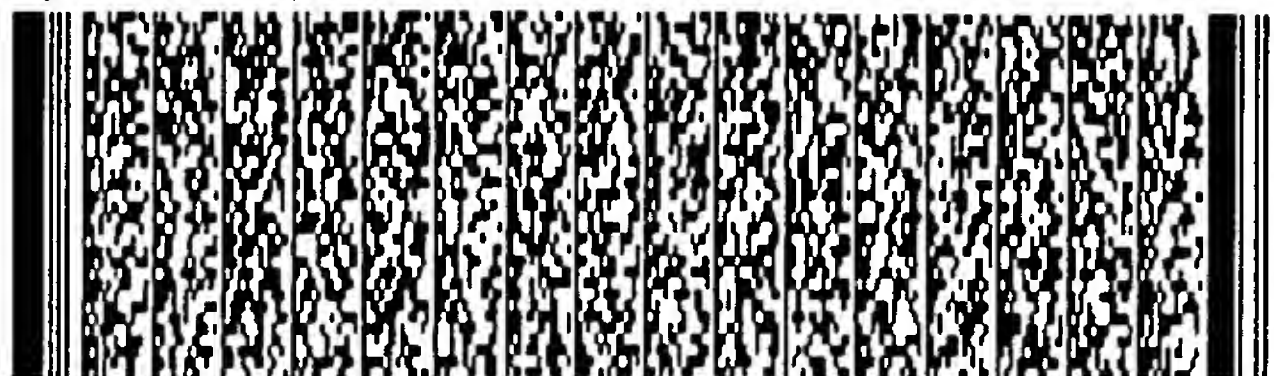


第 4C 圖

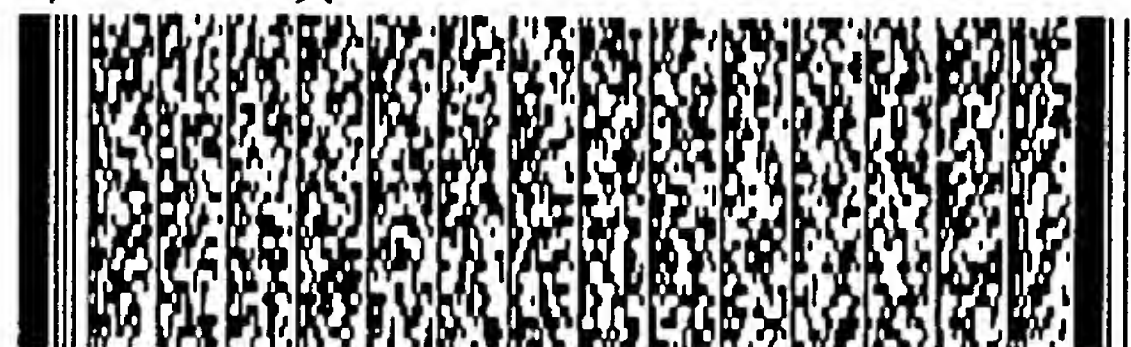


第 4D 圖

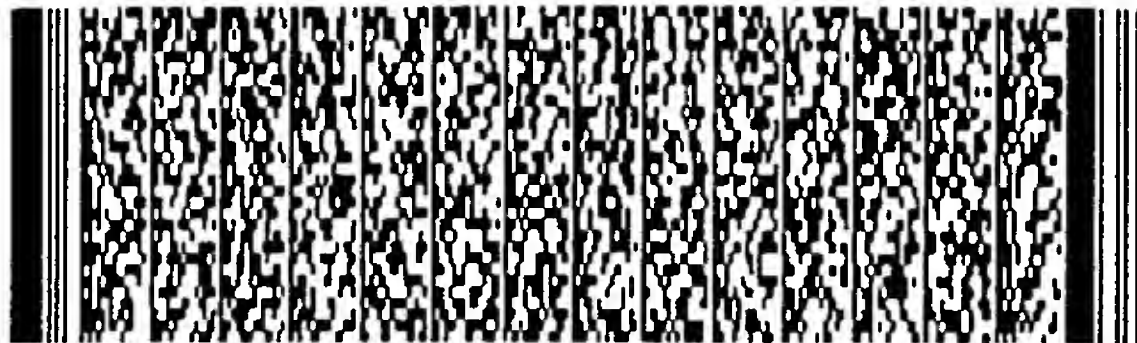
第 1/20 頁



第 2/20 頁



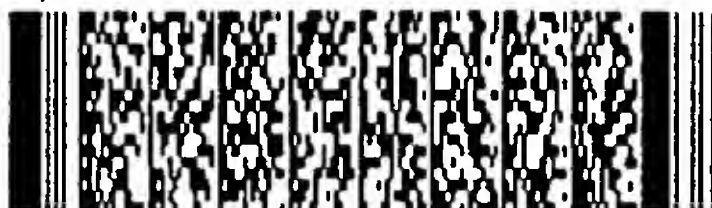
第 2/20 頁



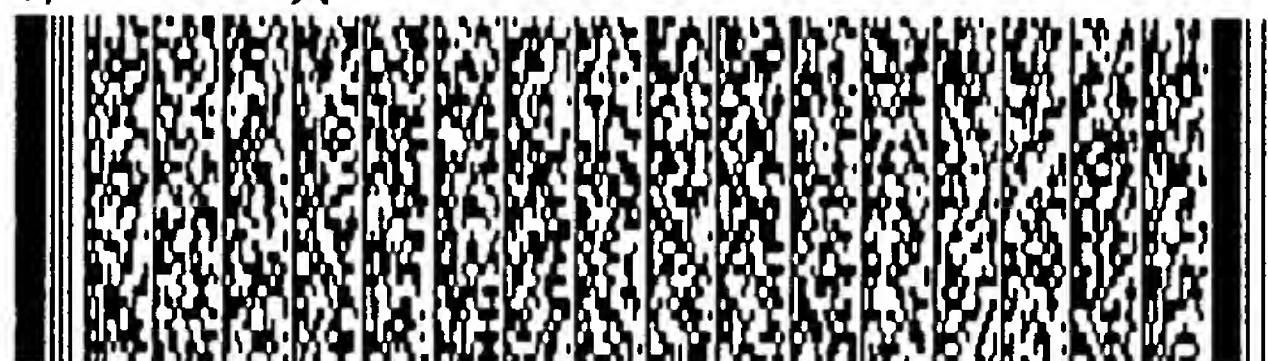
第 3/20 頁



第 4/20 頁



第 5/20 頁



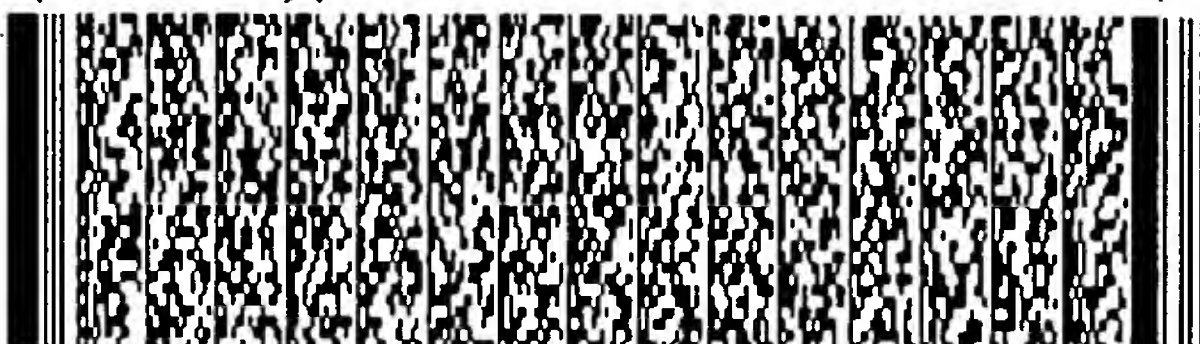
第 5/20 頁



第 6/20 頁



第 6/20 頁



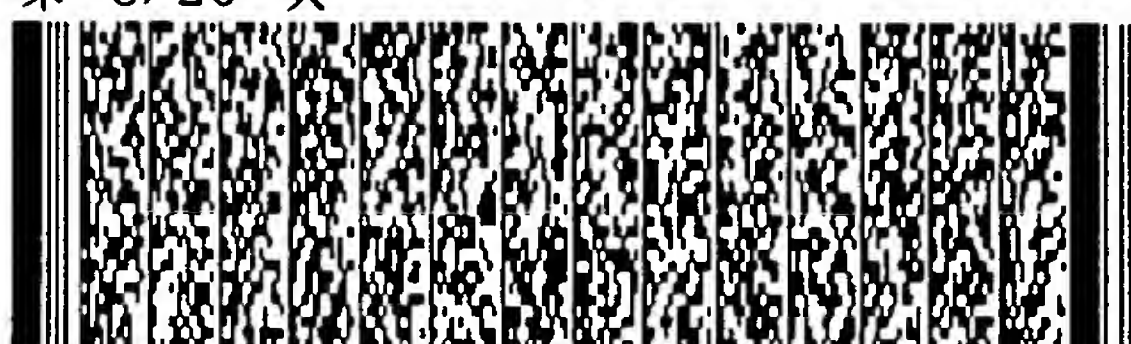
第 7/20 頁



第 7/20 頁



第 8/20 頁



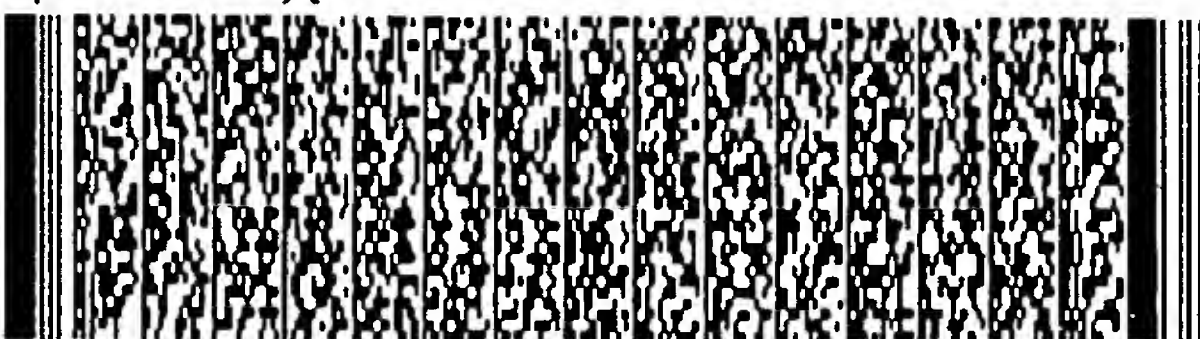
第 8/20 頁



第 9/20 頁



第 9/20 頁



第 10/20 頁

